



**MINISTÉRIO DO DESENVOLVIMENTO, INDÚSTRIA, COMÉRCIO E SERVIÇOS
SECRETARIA DE DESENVOLVIMENTO INDUSTRIAL, INOVAÇÃO, COMERCIO E
SERVIÇOS**

CONSULTA PÚBLICA Nº 17 - SEI, 15 DE SETEMBRO DE 2023

A Secretaria de Desenvolvimento Industrial, Inovação, Comércio e Serviços do Ministério do Desenvolvimento, Indústria, Comércio e Serviços, de acordo com os artigos 8º e 9º da Portaria Interministerial SEPEC-ME/MCTIC nº 32, de 15 de julho de 2019, torna pública a proposta de alteração do Processo Produtivo Básico – PPB de Etiqueta Inteligente ("Smart Label") e Dispositivo de Identificação por Radiofrequência - RFID.

O texto completo está disponível no sítio da Secretaria, no endereço: <https://www.gov.br/produtividade-e-comercio-exterior/pt-br/assuntos/competitividade-industrial/processo-produtivo-basico-ppb/novo-portal/consultas-publicas>

As manifestações deverão ser encaminhadas no prazo máximo de 15 (quinze) dias, a contar da data de publicação desta Consulta no Diário Oficial da União, a todos os seguintes e-mails: cgel.ppb@economia.gov.br, cgct.ppb@mcti.gov.br e cgpri.ppb@suframa.gov.br.

UALLACE MOREIRA LIMA

Secretário de Desenvolvimento Industrial, Inovação, Comércio e Serviços

ANEXO

PROPOSTAS Nº 007/2023 E Nº 016/2023 – ALTERAÇÃO DO PROCESSO PRODUTIVO BÁSICO PARA ETIQUETA INTELIGENTE ("SMART LABEL") E DISPOSITIVO DE IDENTIFICAÇÃO POR RADIOFREQUÊNCIA - RFID, ESTABELECIDO PELA PORTARIA INTERMINISTERIAL SEPEC/ME/SEXEC/MCTI Nº 11.921, DE 5 DE OUTUBRO DE 2021.

OBS.: A consulta está em forma de Portaria na versão da Lei de Informática, mas também vale para a versão da Zona Franca de Manaus.

1) ALTERAÇÃO DO § 2º DO ART. 1º, CONFORME ABAIXO:

DE:

2º Excepcionalmente para os anos de 2021, 2022 e 2023, os pontos totais a que se refere o § 1º deste artigo deverão acumular, no mínimo, os seguintes valores por ano-calendário:

I - para o ano de 2021: 30 (trinta) pontos; e

II - para os anos de 2022 e 2023: 36 (trinta e seis) pontos.

PARA:

§ 2º Excepcionalmente para os anos de 2021 até **2024**, os pontos totais a que se refere o § 1º deste artigo deverão acumular, no mínimo, os seguintes valores por ano-calendário:

I - para o ano de 2021: 30 (trinta) pontos; e

II - para os anos de 2022 até **2024**: 36 (trinta e seis) pontos.

2) INCLUSÃO DOS PARÁGRAFOS 4º E 5º AO ART. 1º, CONFORME ABAIXO:

§ 4º A meta de 36 (trinta e seis) pontos estabelecida no §2º deste artigo poderá ser mantida para os anos posteriores, desde que atendidas as duas condições a seguir, concomitantemente:

I - realização do projeto, prototipagem e teste da antena do *inlay* no País; e

II - enquanto não houver a possibilidade de realização, no País, do corte do *wafers* a que se refere a etapa V do Anexo, mediante a tecnologia de “corte a plasma”.

§ 5º A realização da etapa produtiva descrita no inciso I do § 4º deste artigo deverá ser comprovada por meio de evidências concretas, tais como:

I - documentação de abertura, desenvolvimento e encerramento de projeto, com indicação das etapas e profissionais envolvidos no projeto;

II - relatórios de testes;

III - relatórios de ferramentas de gerenciamento e acompanhamento de projeto; e

IV - protótipos desenvolvidos.

3) ALTERAÇÃO DA DESCRIÇÃO DA ETAPA I DO ANEXO DA PORTARIA:

DE:

Etapa	Descrição da Etapa produtiva
I	"Projeto de Desenvolvimento no País - Portaria MCT nº 950, de 12 de dezembro de 2006, ou Portaria MCTIC nº 1.309, de 19 de dezembro de 2013, ou Portaria MCTIC nº 356, de 19 de janeiro de 2018, ou Portaria MCTIC nº 3.303, de 25 de junho de 2018."

PARA:

Etapa	Descrição da Etapa produtiva
I	Projeto de Desenvolvimento no País - Portaria MCT nº 950, de 12 de dezembro de 2006, ou Portaria MCTIC nº 1.309, de 19 de dezembro de 2013, ou Portaria MCTIC nº 356, de 19 de janeiro de 2018, ou Portaria MCTIC nº 3.303, de 25 de junho de 2018 ou Portaria MCTI nº 4.514, de 02 de março de 2021.

4) ALTERAÇÃO DA DESCRIÇÃO DA ETAPA V DO ANEXO DA PORTARIA:

DE:

Etapa	Descrição da Etapa produtiva
V	Corte do wafer e encapsulamento e teste dos circuitos integrados monolíticos.

PARA:

Etapa	Descrição da Etapa produtiva
V	Corte do wafer e encapsulamento (quando aplicável) e teste dos circuitos integrados monolíticos..