

Receptor UHF Integrado para Futuros Satélites do SBCD

Vincent Bourguet

Lab. de Microeletrônica e Sistemas Embarcados

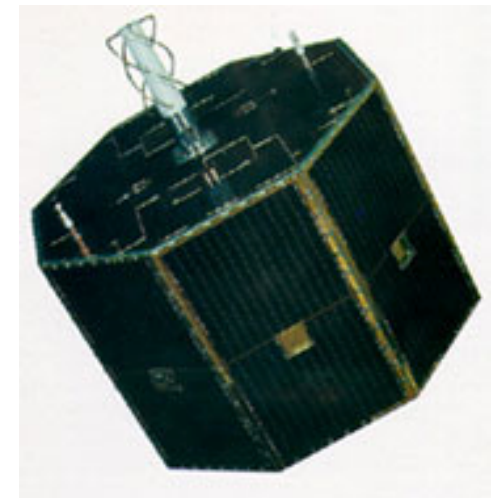
DEE/UFRN

- Introdução
- Proposta e Metodologia
- Especificações do receptor: Nível Sistema
- Nível Circuito
- Conclusão

- **Introdução**
- Proposta e Metodologia
- Especificações do receptor: Nível Sistema
- Nível Circuito
- Conclusão

- **Propor soluções em prol da redução do tamanho dos satélites de CD**
 - ➔ Nano/Pico-satélite (CONASAT)
 - ➔ Carga útil de CD em todo satélite Brasileiro.

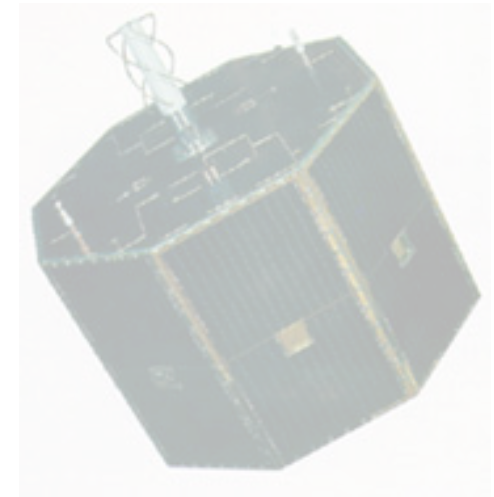
- **Possibilitar novas aplicações**
 - ➔ Rastreamento de barcos pesqueiros (PREPS)
 - ➔ Rastreamento de cargas sensíveis e perigosas
 - ➔ **Processamento/Armazenamento**



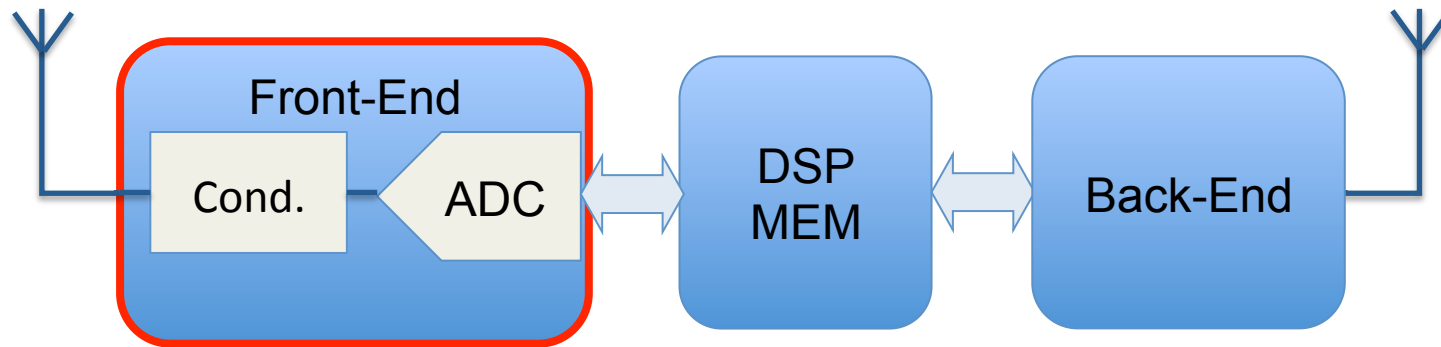
- Propor soluções em prol da redução do tamanho dos satélites de CD
 - ➔ Nano/Pico-satélite (CONASAT)
 - ➔ Carga útil de CD em todo satélite brasileiro.

- Novas Aplicações
 - ➔ Rastreamento de barcos pesqueiros (PREPS)
 - ➔ Rastreamento de cargas sensíveis e perigosas
 - ➔ Processamento/Armazenamento

Transponder Digital Integrado



Objetivos Deste Projeto

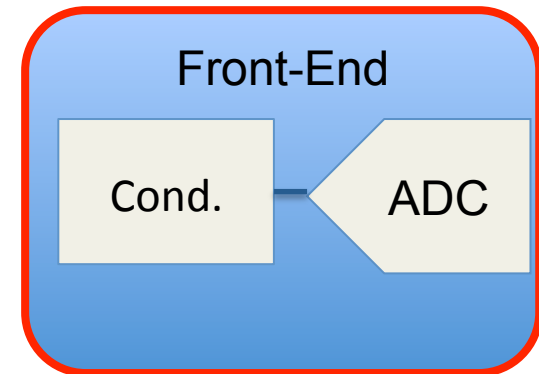


- **Front-end integrado**
 - ➔ Nova arquitetura.
- **Tecnologia CMOS: Acesso através do CMP**
 - ➔ ST 130nm 2200 €/mm² - $f_T=80$ GHz
- **Compatibilidade com os protocolos ARGOS-3**
 - ➔ Maior banda a ser considerada.

- **CRN: Coordenação**

- ➔ Manoel J. M. de Carvalho

- ➔ Márcia Barros



- **uEES Lab (UFRN): Condicionamento**

- ➔ Prof. Vincent Bourguet / R. De Lima (UFBA)

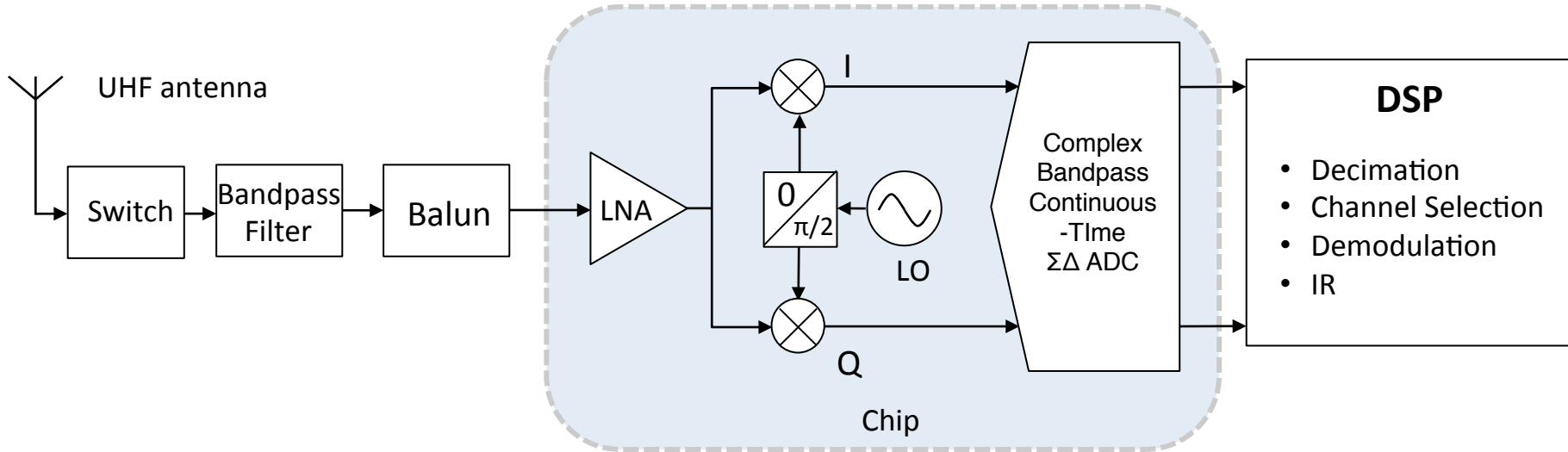
- ➔ LNA, Misturadores, PLL

- **LIP6-SoC Lab (Paris 6): ADC $\Sigma\Delta$ Complexo**

- ➔ Prof. Hassan Aboushady

- Introdução
- **Proposta e Metodologia**
- Especificações do receptor: Nível Sistema
- Nível Circuito
- Conclusão

Arquitetura Baixa-IF Proposta



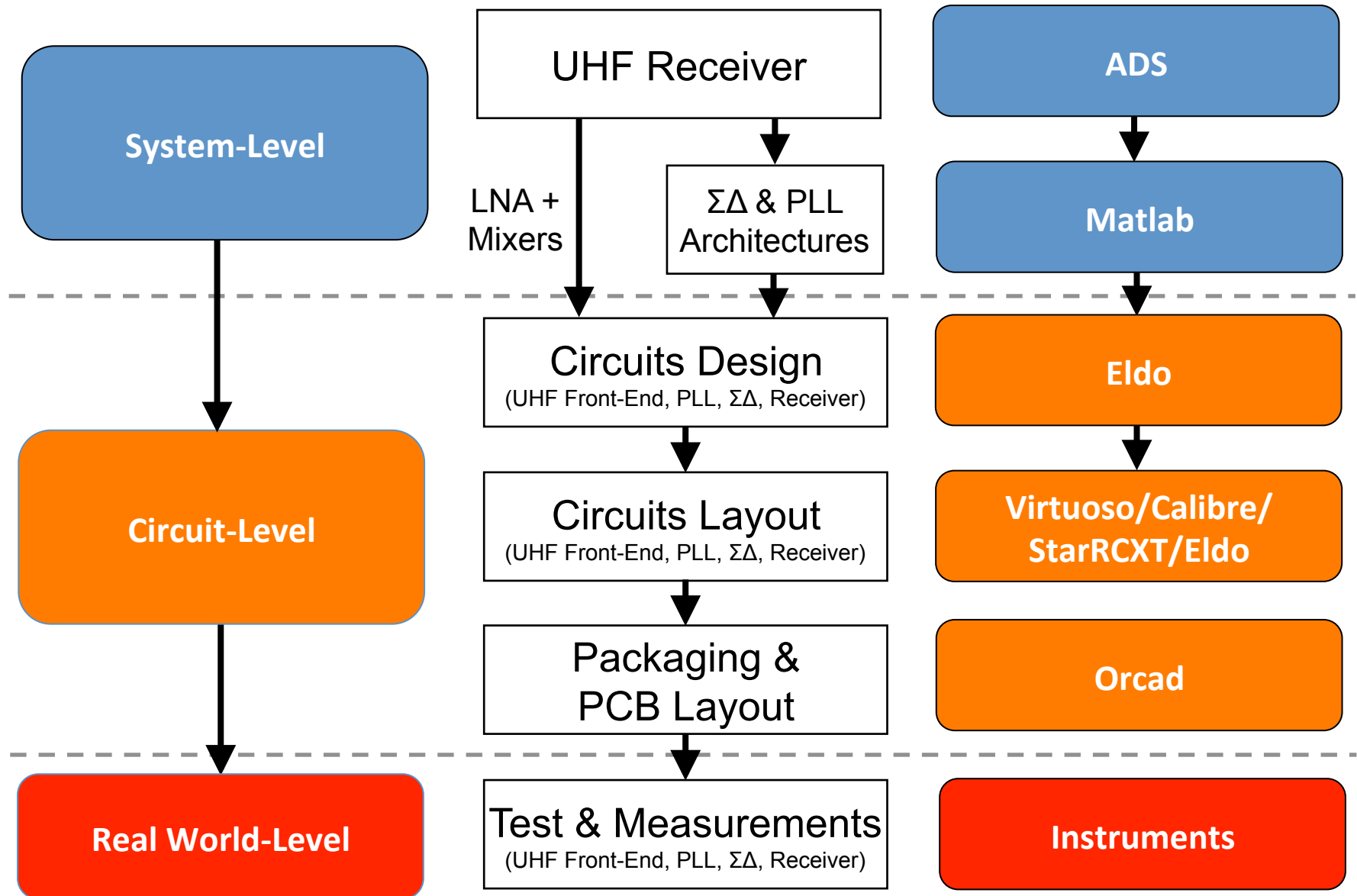
☺ **Tamanho, Peso, Consumo.**

☹ **Arquitetura original \rightarrow Projeto “from scratch”**

☹ **Ganho/NF**

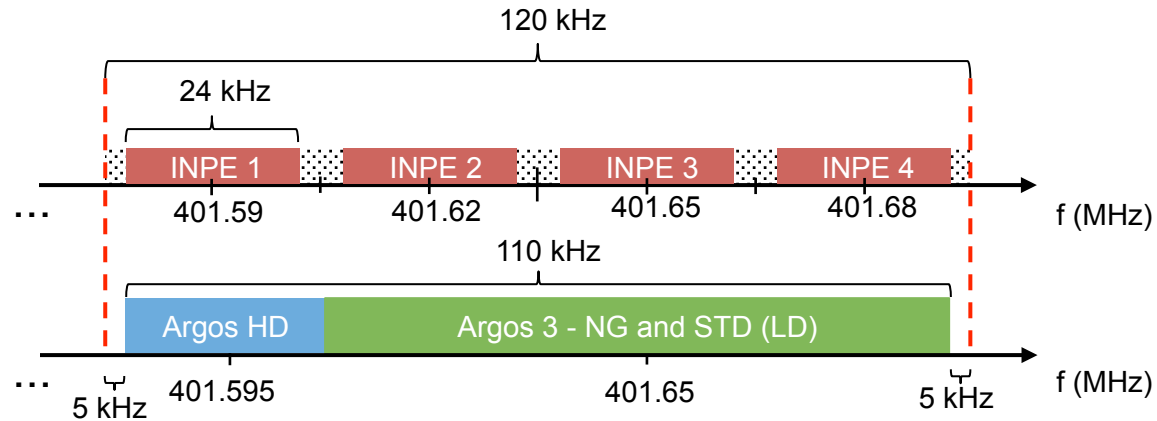
☹ **Rejeição da imagem \rightarrow Matching I/Q**

Fluxo de Projeto



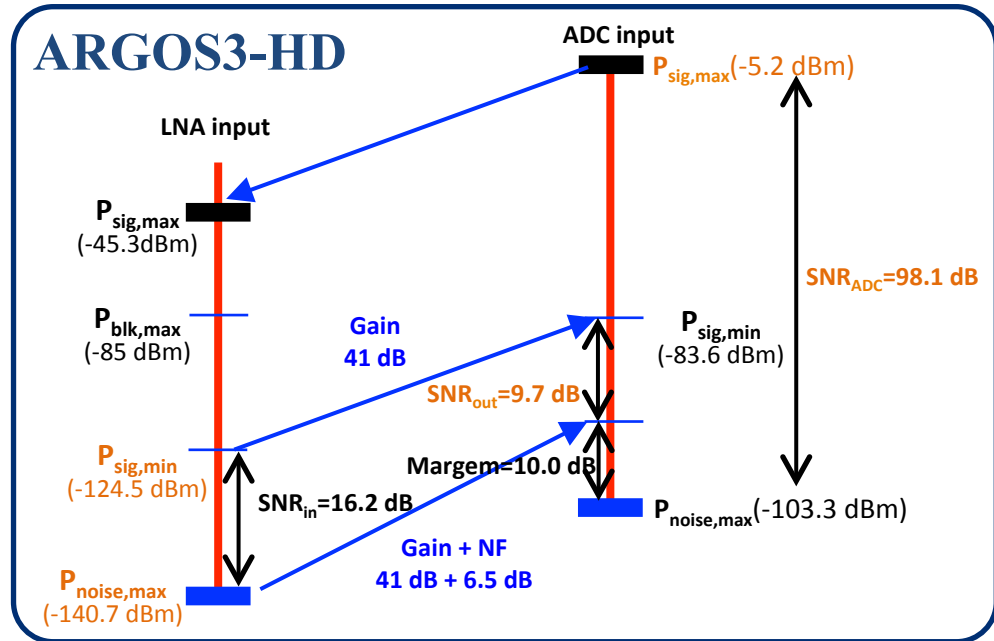
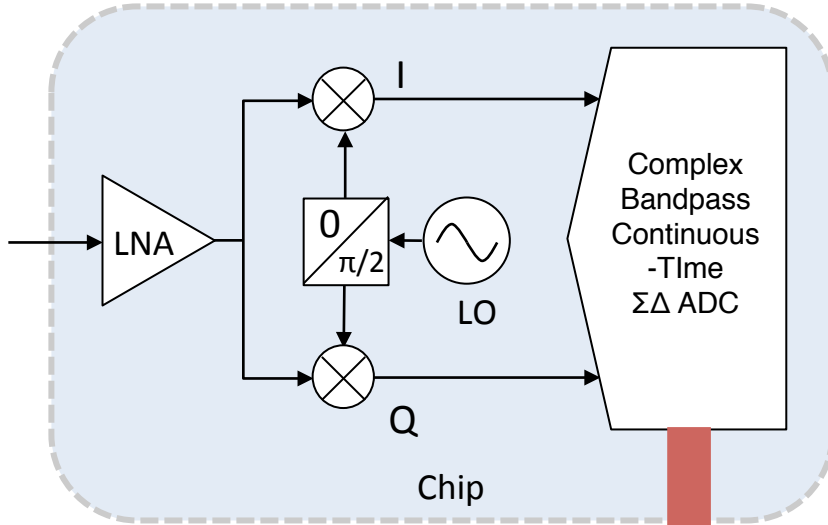
- Introdução
- Proposta e Metodologia
- **Especificações do receptor: Nível Sistema**
- Nível Circuito
- Conclusão

Especificações Uplink SBCD/ARGOS3



| Parameters | SCBD | ARGOS-3 STD | ARGOS-3 NG | ARGOS-3 HD |
|--------------|---------------|---------------|-------------|-------------|
| Sensitivity | -123 dBm | -123 dBm | -137 dBm | -123 dBm |
| Max Power | -98 dBm | -114 dBm | -114 dBm | -108 dBm |
| Carrier | 401.635 MHz | 401.650 MHz | 401.650 MHz | 401.595 MHz |
| Rx Bandwidth | 120 kHz | 80 kHz | 80 kHz | 30 kHz |
| Bit Rate | 400 bps | 400 bps | 400 bps | 4800 bps |
| Coding | Manchest. NRZ | Manchest. NRZ | Conv. (7,½) | Conv. (7,¾) |
| Chips Rate | 800 cps | 800 cps | 800 cps | 6400 cps |
| Modulation | PCM/PM/±60° | BPSK | QPSK | GMSK |
| Bandwidth | 1.0 kHz | 1.0 kHz | 0.5 kHz | 4.8 kHz |

Cálculo das Especificações



| | |
|--------------------------|------------|
| Resolution | 16 bits |
| SNR | 98.1 dB |
| Reference Level | -5.2 dBm |
| Quantization Noise Power | -103.3 dBm |
| Center Frequency | 22 MHz |

Desprezar ruído de quantificação

➔ Margem de 10dB

Determinar SNR_{out}

➔ Especificação de BER (10^{-5})

➔ Esquema de modulação

Linearidade

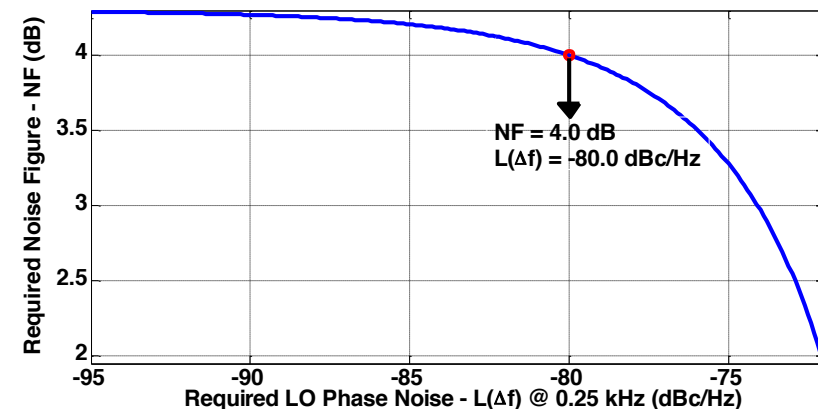
➔ ICP_{1dB} : Faixa dinâmica do ADC

Especificações do Receptor

| Parameters | SBCD | Argos 3 NG | Argos 3 STD | Argos 3 HD | Final |
|----------------------|---------------------------|-----------------------------------|---------------------------|---------------------------|-----------------------------------|
| NF (dB) | 11.4 | 4.07 | 17.3 | 6.2 | 4.07 |
| Gain (dB) | 38.3 | 49.0 | 34.0 | 41.0 | 49.0 |
| Sensitivity (dBm) | -124.5 | -135.5 | -124.5 | -123.5 | -135.5 |
| Max. Input (dBm) | -99.5 | -116.5 | -116.5 | -109.5 | -99.5 |
| Signal BW (Hz) | 1000 | 500 | 1000 | 4800 | - |
| IIP3 | -33.4 | -33.4 | -33.4 | -32.6 | -32.6 |
| Phase Noise (dBc/Hz) | -70.8 dBc/Hz @ 0.5 kHz | -79.7 dBc/Hz @ 0.25 kHz | -70.8 dBc/Hz @ 0.5 kHz | -78.7 dBc/Hz @ 2.4 kHz | -79.7 dBc/Hz @ 0.25 kHz |

IF escolhida: 18.365 Mhz

- ➔ Próxima da frequência central do ADC
- ➔ PLL N-inteira com relógio atômico já em uso no INPE
- ➔ Aliasing dos bloqueadores aceitável



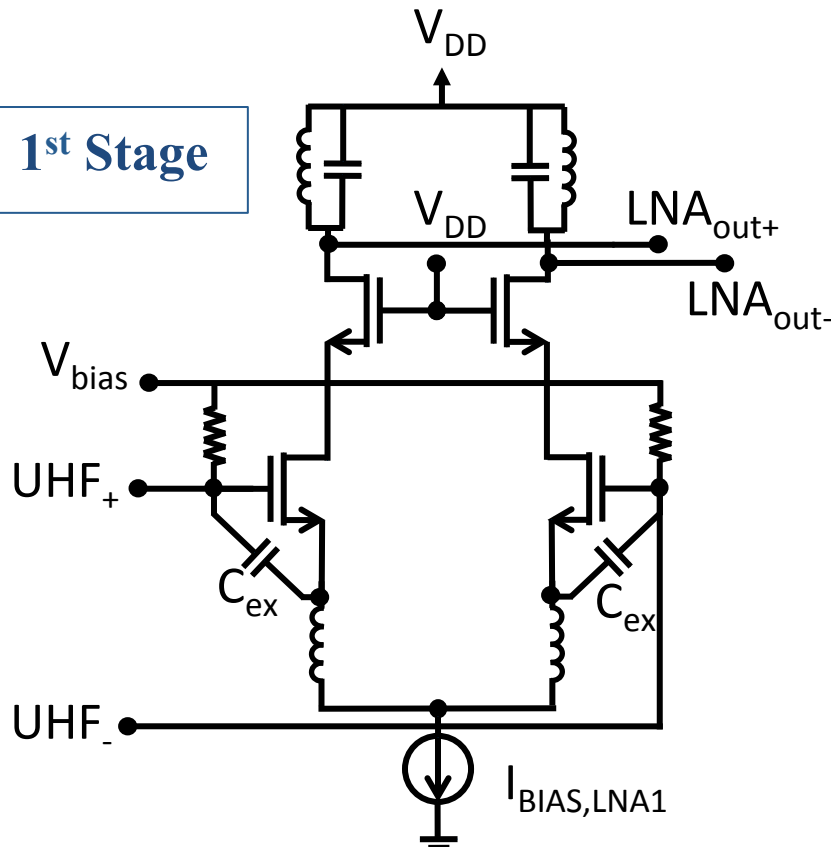
- Introdução
- Proposta e Metodologia
- Especificações do receptor: Nível Sistema
- **Nível Circuito**
- Conclusão

Amplificador de Baixo Ruído (LNA)

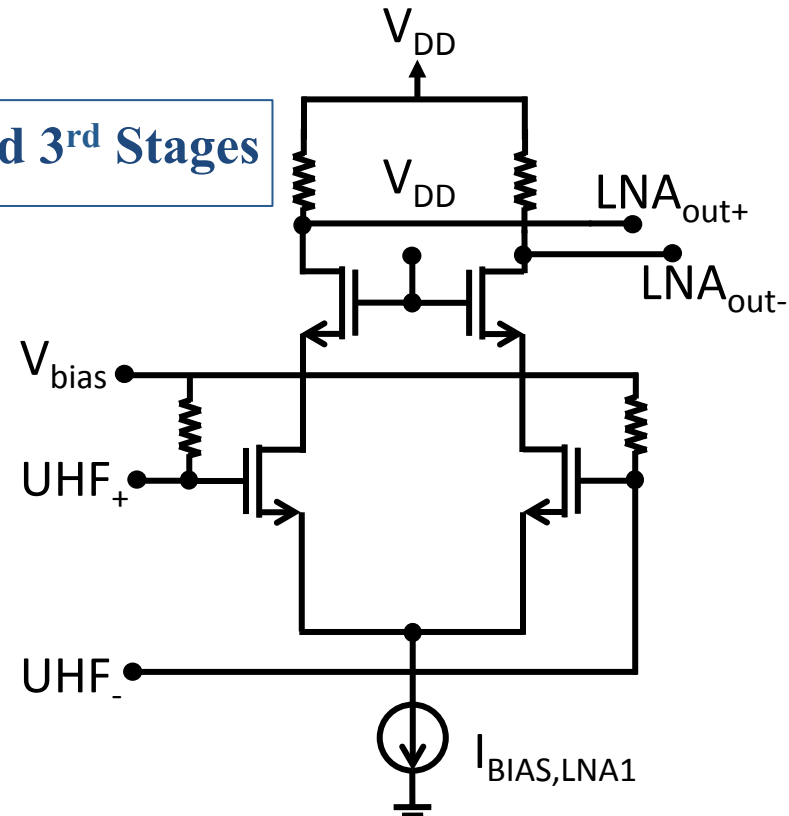
- Principal responsável pelo ganho e pela NF
- 3 estágios
 - ➔ 1º estágio crítico (NF/ Z_{in})

| Parâmetro | 1º est. | 2º est. | 3º est. | LNA |
|------------|---------|---------|---------|-------|
| Ganho (dB) | 25.4 | 14.3 | 14.3 | 52.4 |
| NF (dB) | 0.98 | 1.5 | 1.5 | 1.8 |
| S11 (dB) | -72.7 | -0.3 | -0.3 | -22.9 |
| S22 (dB) | -22.0 | -14.9 | -14.9 | -14.9 |

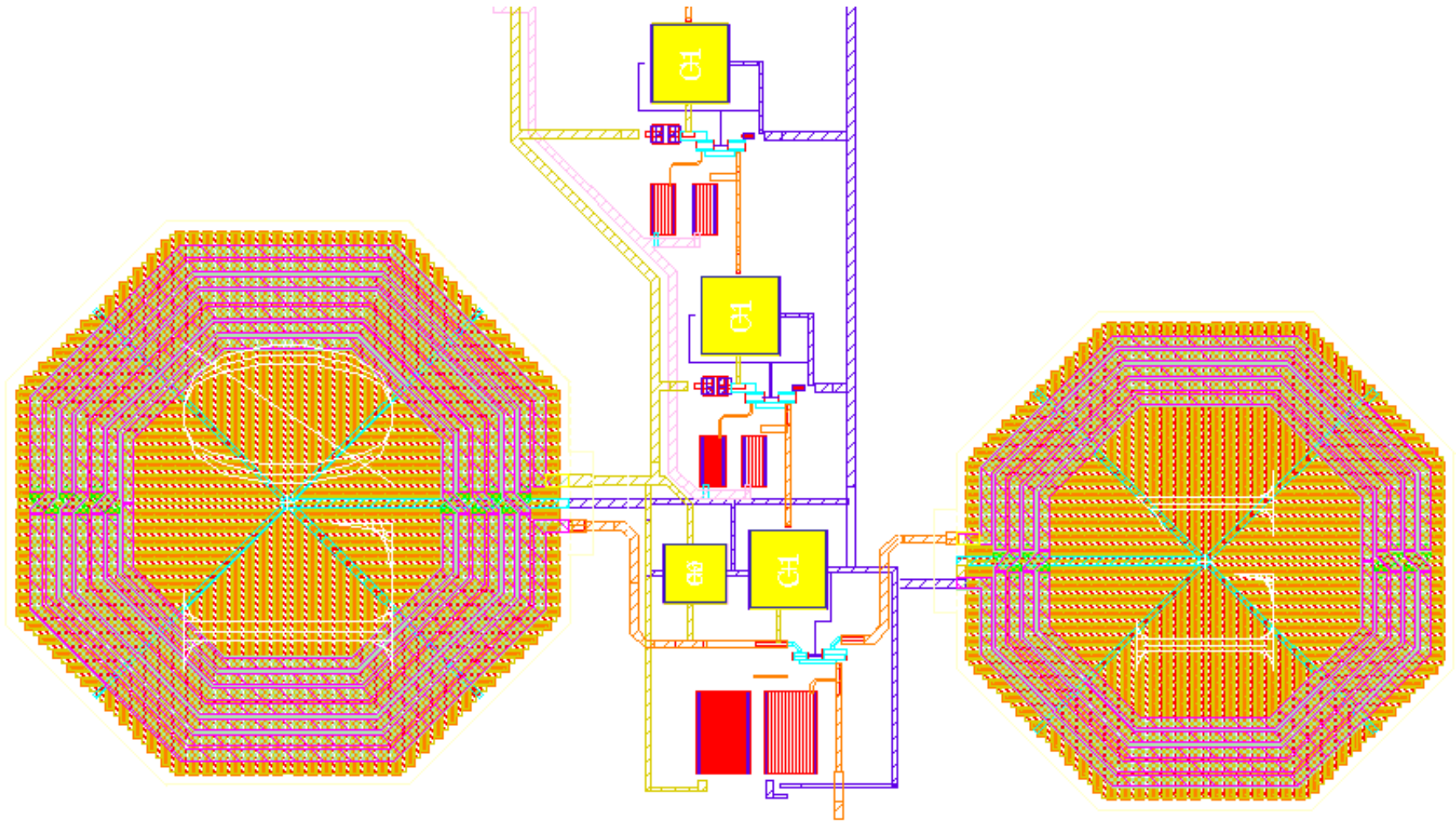
1st Stage

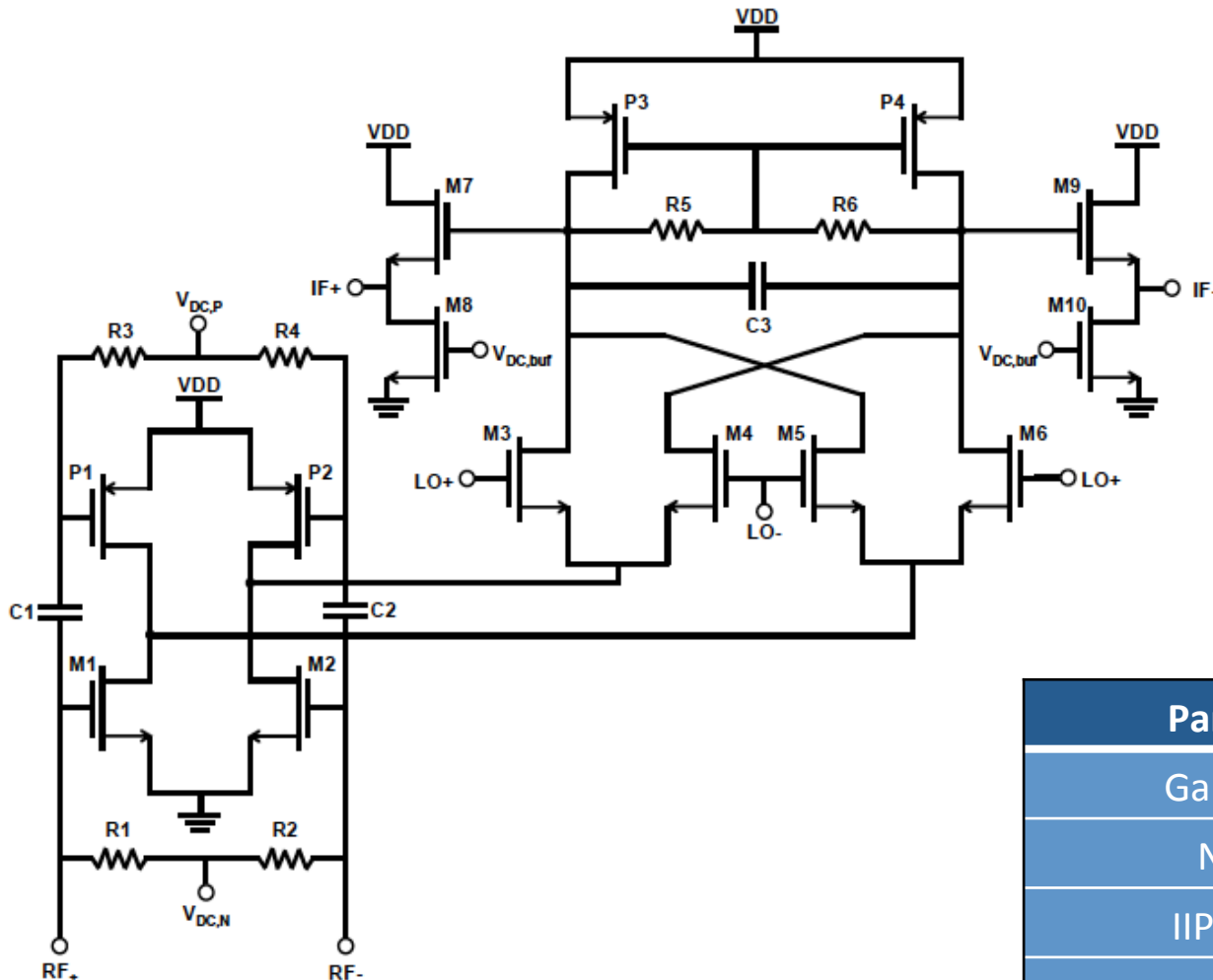


2nd and 3rd Stages



LNA: Layout

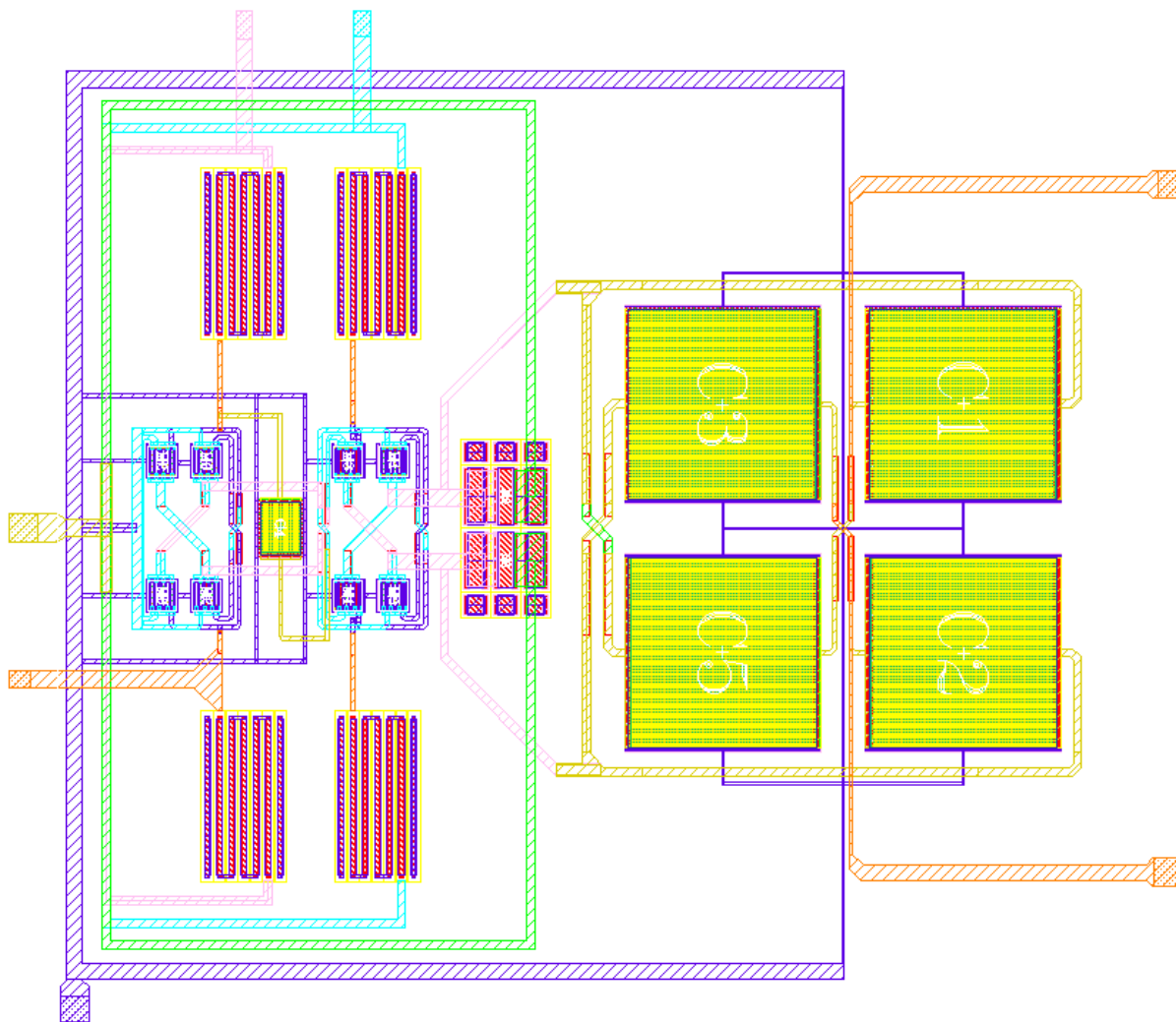




- **Ativo**
 - ➔ Ganho
 - ➔ NF
- **3 estágios**
 - ➔ Amplif. G_m
 - ➔ Chaveamento
 - ➔ Buffer

| Parâmetro | Valor |
|------------------------|-------|
| Ganho (dB) | 4.2 |
| NF (dB) | 12 dB |
| IIP3 (dBm) | -3 |
| LO-RF Feedthrough (dB) | -53.2 |
| LO-IF Feedthrough (dB) | -41.3 |

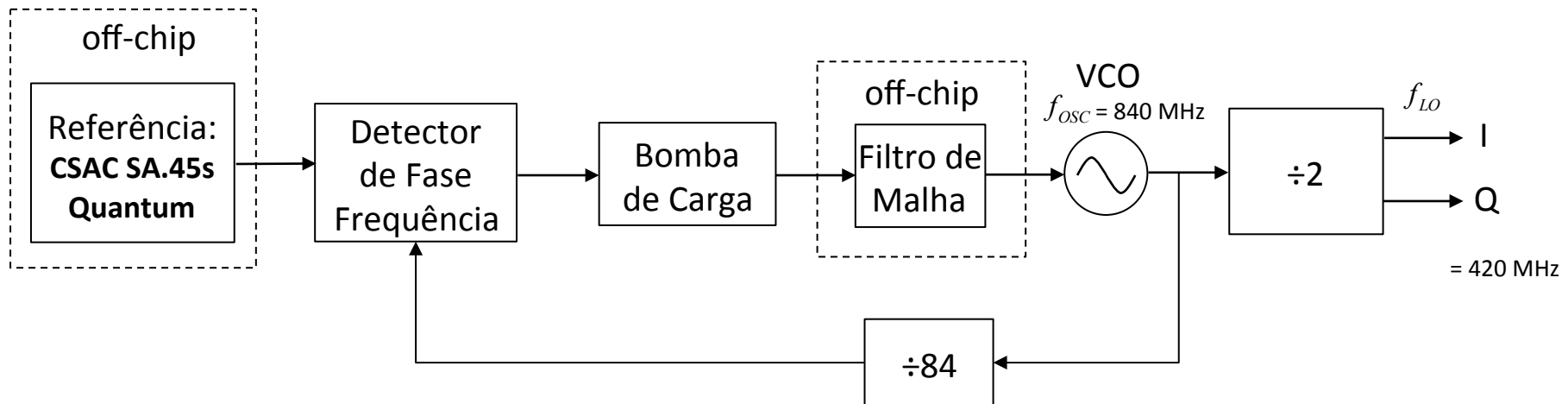
Amplificador G_m : Layout



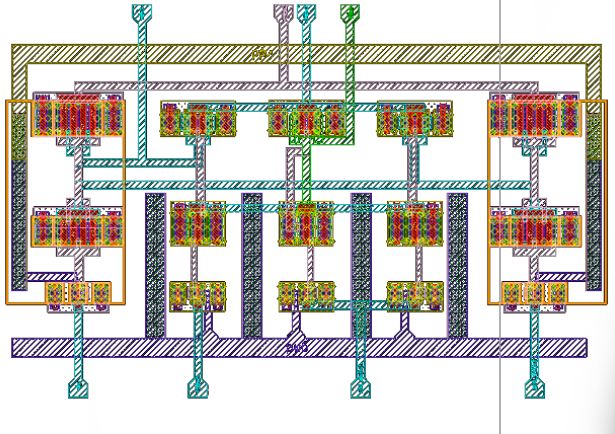
Oscilador Local (PLL)

- **Arquitetura N-Inteira**
 - ➔ Uma frequência só a ser gerada...
- **$f_{LO} = 420$ MHz**
 - ➔ Relógio atômico 10 MHz.
- **Quadratura a partir de $2 \cdot f_{LO}$**
 - ➔ Divisor de frequência na saída

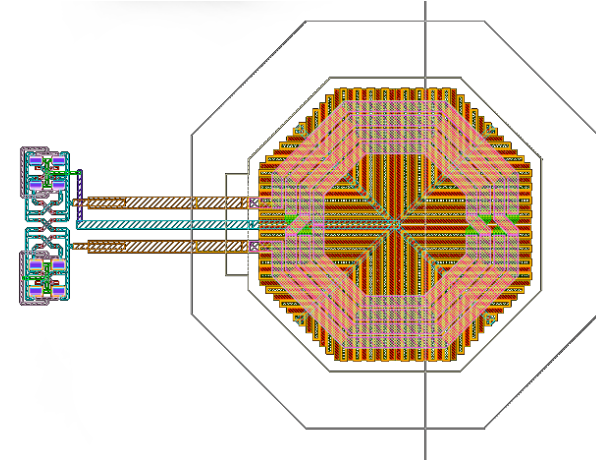
IF = 18.365 MHz



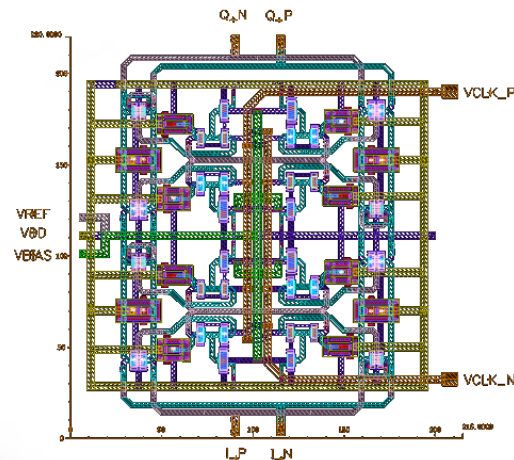
Bomba de carga



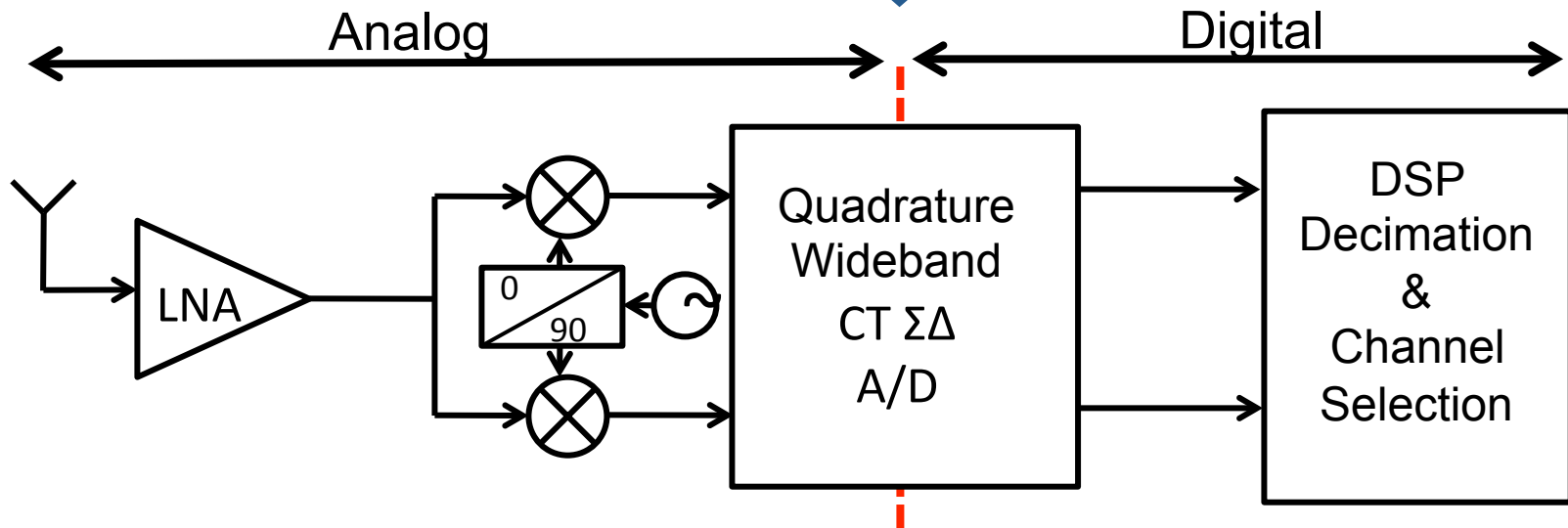
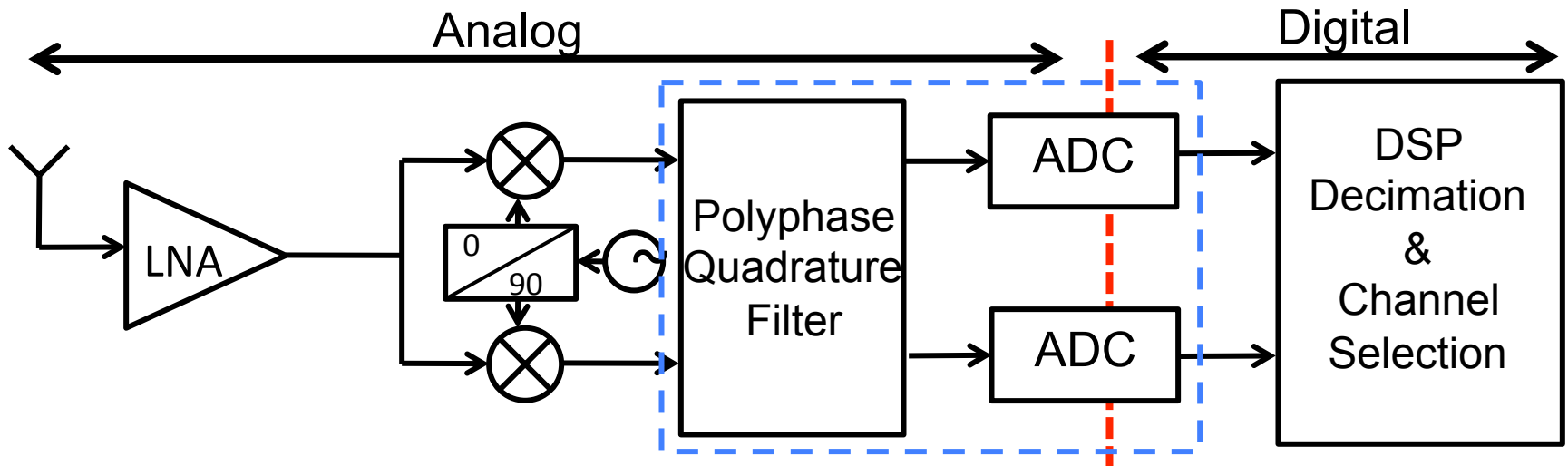
VCO



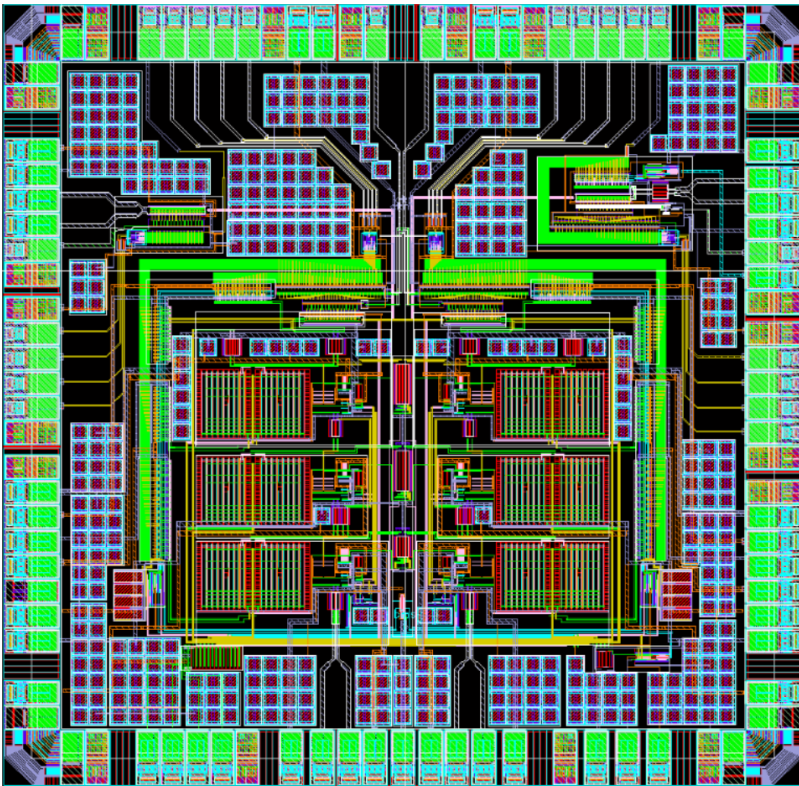
Divisor I/Q



ADC Sigma-Delta Passa-Banda Complexo



Chip fabricado



Resultados de simulação pós-layout

| Parâmetro | Valor |
|--------------------|---------------|
| Ordem | 4 |
| f_s (MHz) | 900 (tunable) |
| F_{center} (MHz) | 22 |
| Banda (MHz) | 40 |
| SNDR (dB) | 78 |

- Tecnologia ST 65nm
→ $V_{dd}=1.2\text{ V}$
- Área de silício
→ 2 mm^2
- Medições a serem feitas

- Introdução
- Proposta e Metodologia
- Especificações do receptor: Nível Sistema
- Nível Circuito
- **Conclusão**

- **Front-end integrado para próximas gerações do segmento espacial do SBCD**
 - ➔ Primeira etapa de um transponder digital completamente integrado (SoC)
- **Compatibilidade com sistema ARGOS-3**
 - ➔ Boa introdução ao ARGOS-4
- **Formação de pessoal em áreas estratégicas**
 - ➔ Microeletrônica
 - ➔ Área Espacial
- **Colaboração Internacional**

Obrigado!

bourguet@ct.ufrn.br