

ESTUDO DA APLICAÇÃO DO “IP 8051” PARA NOVAS TECNOLOGIAS

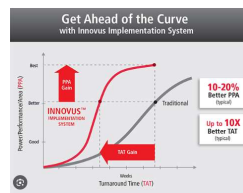
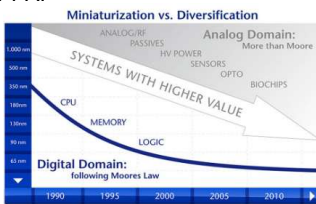
MARCELO CASARI CARLOS
SAULO FINCO

Wellington Melo; Luis Eduardo Seixas Jr.; Erlon Lima; Rafael Nunes
marcelo.carlos@cti.gov.br

INTRODUÇÃO

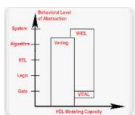
Com o advento de sistemas inovadores os projetos estão ficando maiores e mais complexo em termos de CIs. Isso se traduz nos requisitos de potência, desempenho e área (PPA) mais desafiadores. É um grande desafio de engenharia a atingir, com cronogramas que continuam diminuindo para atingir o *time to market*.

O fluxo total digital atualmente oferece inovações que ultrapassam os limites de ferramentas individuais por meio da integração de mecanismos principais e tecnologias-chave. Aplicando as melhores práticas no fluxo digital completo é possível superar as metas de PPA.



Com isto se insere o estudo e aplicação IP 8051 (livre de patente sem custo e já consolidado). Será utilizado como veículo de estruturação do procedimento de projetos digitais para múltiplas tecnologias e nós tecnológicos, pois já é um projeto consolidado na sua concepção e procedimentos de teste, percorrendo assim, todo o fluxo de um projeto digital, baseado no design kit da tecnologia (parâmetros elétricos, parâmetros de layout etc.), e nas suas respectivas bibliotecas de células

O uso das linguagens de descrição de hardware – HDL (*Hardware Description Language*) são primordiais para percorrer o fluxo, e seu conhecimento e aplicação são finalísticos para atingir os objetivos, sendo as técnicas de otimização os meios para os atingir reduzindo tempos totais de ciclo de projeto e minimizando novas rodadas de silício.



OBJETIVO

O objetivo do projeto é atuar no segmento de “implementação de blocos de projetos circuitos digitais” e utilizar o IP 8051 como veículo consolidado do fluxo para cada nó tecnológico de interesse. E para isto, também é necessário a utilização de um kit de desenvolvimento FPGA para validação da funcionalidade utilizando ferramentas EDA como *front-end*.

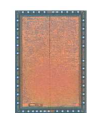
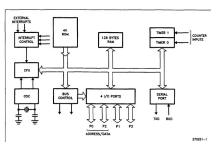
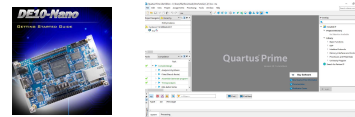


Figura 1 - Foto do DSE do 8051B

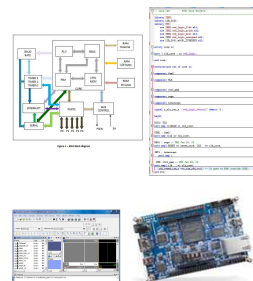
MÉTODOS

O trabalho está sendo feito através de estrutura que engloba parte analógica (apesar do IP 8051 ser todo digital) e que permite portanto a mistura de blocos analógicos e digitais como mostrado na figura ao lado (MSoT). Estamos utilizando também a ferramenta Quartus Prime Lite, versão 20.1.1, sendo que a síntese do projeto digital esta sendo direcionada para o kit de desenvolvimento da terasic DE10-nano, contendo o FPGA Cyclone V



	Circ. Analógico	IP 8051	
Methodology	Analog on Top (AoT)	Mixed Signal on Top (MSoT)	Digital on Top (DoT)
Design Flow	Schematic Driven	Schematic Driven	Netlist Driven
Top level Connectivity	Schematic	Verilog	Verilog
Design Characteristics	* Top level is analog * Standard cell digital designed in a digital flow	Analog blocks and standard cell digital mixed at the top level	* Top level is digital * Analog designed in an analog flow
Floorplanning	Virtual Resource Partitioner and Virtual Digital Implementation	Virtual Resource Partitioner and InnoVus	InnoVus
Analog Content	Main and Top Level	Co-Designed	Separate Hierarchy
Digital Content	Separate Hierarchy	Co-Designed	Main and Top Level
Routing	* HD for top level and analog * HD for routing and cell placement * HD for routing and cell placement	* HD for analog blocks and cell placement * HD for routing and cell placement	* Top level is digital * Analog designed in an analog flow
Chip Integration	Virtual	InnoVus	InnoVus
Signoff	MPS	Tempus	Tempus
Chip Finishing	Virtual	Virtual	Virtual/InnoVus

RESULTADOS



De acordo com os trabalhos realizados podemos elencar os seguintes resultados:

- Entendimento do IP 8051;
- Estudo das diferentes partes do código em HDL;
- Entendimento e utilização do Quartus como descrição funcional dos blocos para o *front-end* e utilizando o Modelsim como simulador;
- Gravação de códigos utilizando o kit de desenvolvimento DE10-nano;

CONCLUSÕES

Com base neste início de caminhada do projeto, os trabalhos foram direcionadas ao estudo do IP 8051. Foram descritos alguns blocos digitais utilizando linguagem HDL-Verilog, utilizando e aplicando os blocos digitais na ferramenta Quartus. Nos próximos passos, vamos utilizar a metodologia para obter circuitos digitais baseados no IP 8051 voltados a tecnologias atuais observando as melhores práticas recomendadas pelos fabricantes das tecnologias.

REFERÊNCIAS

- [1] <https://www.intel.com/content/www/us/en/products/details/fpga/development-tools/quartus-prime.html>
- [2] <https://www.intel.com.br/content/www/br/pt/products/details/fpga/cyclone/v.html>
- [3] Stuart Sutherland (2017). *RTL Modeling with SystemVerilog for Simulation and Synthesis: Using SystemVerilog for ASIC and FPGA Design*, ISBN: 978-1-5467-7634-5
- [4] https://www.cadence.com/en_US/home/tools/digital-design-and-signoff.html
- [5] https://www.cadence.com/en_US/home/solutions/advanced-node-solutions/digital-advancednode.html