

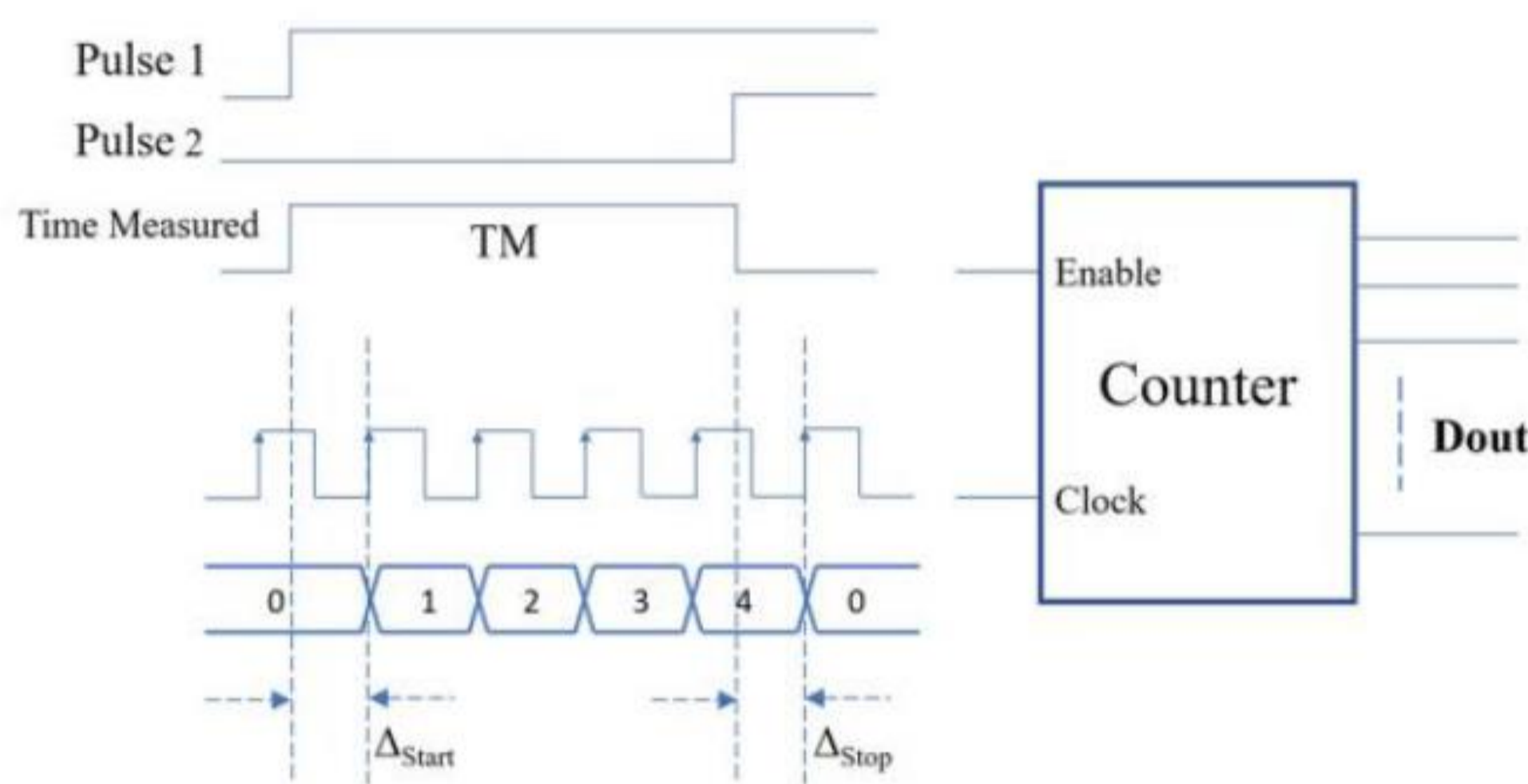
ESTUDO DO CIRCUITO “TIME-TO-DIGITAL CONVERTER” APLICADO A UM FLUXO DE PROJETO DE SINAIS MISTOS

ERLON BORBA DE LIMA
WELLINGTON ROMEIRO DE MELO

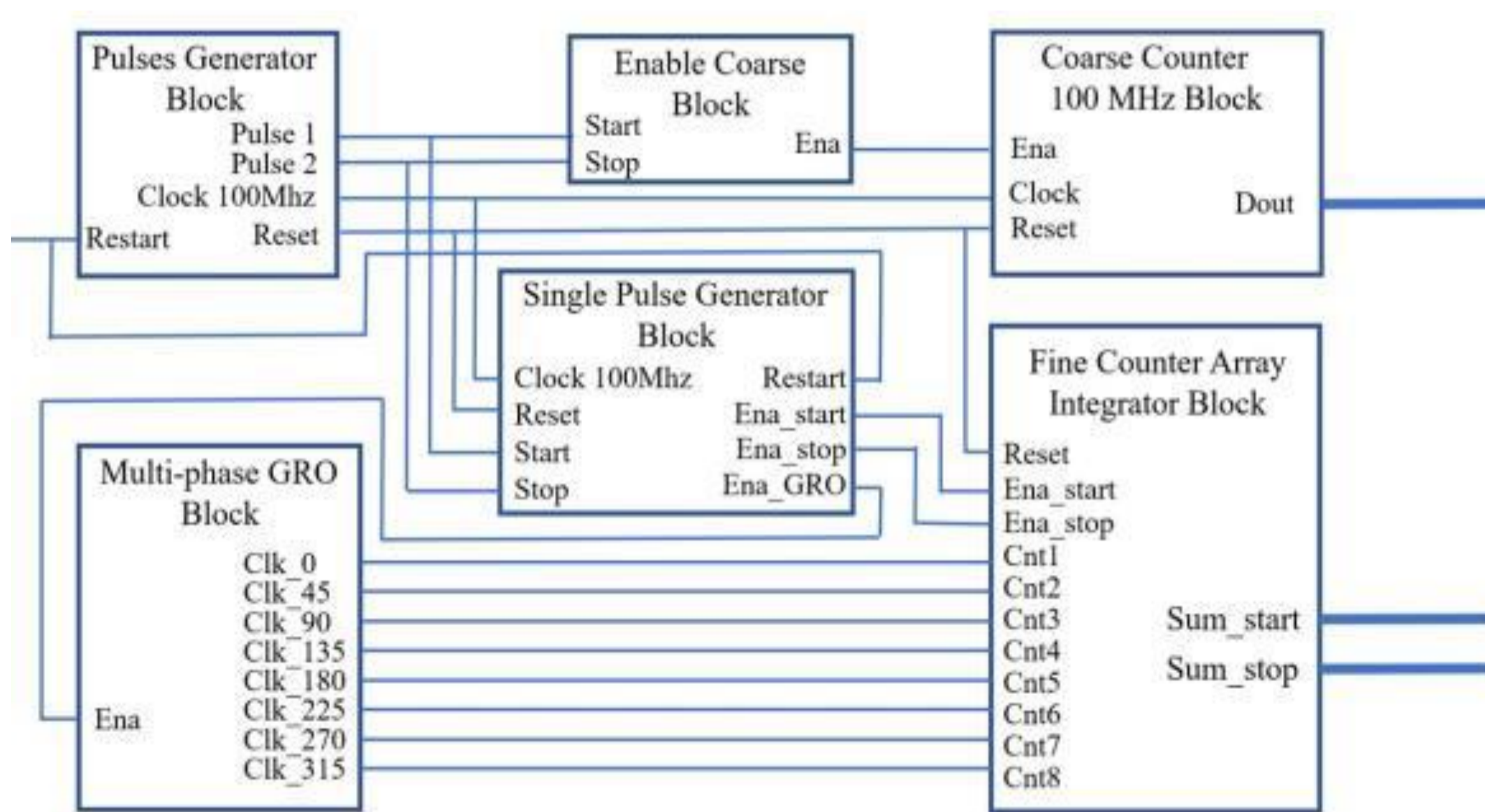
Saulo Finco; Luis Eduardo Seixas Jr.; Marcelo Carlos; Rafael Nunes
erlon.lima@cti.gov.br

INTRODUÇÃO

Time-to-digital converter (Conversor de tempo para digital) é um circuito eletrônico utilizado para mensurar intervalos de tempo entre eventos com alta precisão, tendo papel fundamental na captura e processamento de informações temporais em sistemas digitais. Em aplicações que requerem medição precisa de tempo, um TDC pode ser usado em conjunto com um conversor Sigma-Delta ($\Sigma\Delta$) para calcular a frequência ou o tempo de eventos. O uso de linguagens HDLs para descrição do TDC em conjunto com a descrição analógica do conversor resultam em uma metodologia de projeto misto [1, 2].



A Figura acima ilustra um contador que é a estrutura mais básica para medições diretas de tempo para conversão digital. Devido ao tempo do sinal a ser medido não ser síncrono com o clock do contador há uma diferença significativa na medida esta diferença impacta na resolução da medida. Técnicas de melhoria da resolução são propostas gerando diversas topologias. A Figura abaixo ilustra uma proposta de topologia de TDC com um contador numa frequência específica, utilizando um gated ring oscillator (GRO) deslocando sua fase 8 vezes melhorando a resolução desejada [1, 2].



OBJETIVO

O objetivo do estudo é a implementação do TDC em HDL, utilizando um kit de desenvolvimento FPGA para validação da funcionalidade utilizando ferramentas EDA como *front-end*. A intenção é obter uma topologia que reúna as melhores características dos parâmetros do circuito TDC. No decorrer do projeto, haverá a integração do circuito digital TDC com um conversor A/D Sigma-Delta ($\Sigma\Delta$) e a preparação de um IP para manufatura em ASIC como parte da metodologia de projeto.

AGRADECIMENTOS: Agradecemos ao CTI pela disponibilidade da infraestrutura e ao CNPq pelo fomento da bolsa PCI.

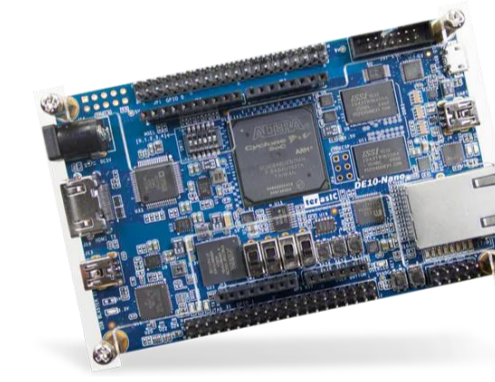
MÉTODOS

Como metodologia de design, será utilizado o fluxo de implementação Mixed-Signal-on-Top (MSoT) [4,5], que permite o design simultâneo entre projetistas e suporta a mistura de blocos analógicos e digitais no nível superior do design. O TDC será inteiramente digital descrito em linguagem HDL, numa primeira fase implementado em FPGA e posteriormente sintetizado com um ASIC para integrar o fluxo misto de projeto. O circuito está sendo descrito na ferramenta Quartus Prime Lite, versão 20.1.1 [3] e simulado na ferramenta ModelSim Intel Starter Edition, versão 2020.10 [3]. A síntese foi dirigida para gravação no kit de desenvolvimento DE10-nano para o FPGA Cyclone V.

	Sigma-Delta ADC Design	TDC Design	
	A	A/D	D/A
Methodology	Analog on Top (AoT)	Mixed-Signal on Top (MSoT)	Digital on Top (DoT)
Design Flow	Schematic-Driven	Netlist-Driven	
Top level Connectivity	Schematic	Verilog	Verilog
Design Characteristics	• Top level is analog • Standard cell digital designed in a digital flow	Analog blocks and standard cell digital mixed at the top level	• Top level is digital • Analog designed in an analog flow
Floorplanning	Virtuoso floorplanner and Virtuoso Digital Implementation	Virtuoso floorplanner and Innovus	Innovus
Analog Content	Main and Top Level	Co-Designed	Separate Hierarchy
Digital Content	Separate Hierarchy	Co-Designed	Main and Top Level
Routing	• VSR for top level and analog • NR for routing within the digital blocks	• VSR for analog blocks and NR for digital blocks • Top level uses VSR for analog and NR for digital	• Top level is digital • Analog designed in an analog flow
Chip Integration	Virtuoso	Innovus	Innovus
Signoff	MSPS	Tempus	Tempus
Chip Finishing	Virtuoso	Virtuoso	Virtuoso/Innovus

RESULTADOS

```
module sdc_desibcore_top(
    Timea,
    Timeb,
    reset,
    Single_pulse_int_0,
    Single_pulse_int_1,
    counter_coarse,
    sum
);
    input wire Timea;
    input wire Timeb;
    output wire [8:0] sum;
    output wire [10:0] sum_start;
    output wire [10:0] sum_stop;
    output wire [10:0] sum_termina;
endmodule
```



Partindo da proposta de topologia para o circuito conforme ilustrada, foi possível obter os seguintes resultados:

- Entender o funcionamento do TDC;
- Estudar as diferentes topologias de medidas diretas e indiretas de tempo;
- Utilizar o Quartus como descrição funcional dos blocos para o *front-end* e o Modelsim como simulador;
- Gravar o projeto no kit de desenvolvimento DE10-nano;
- Testes funcionais estão sendo planejados.

CONCLUSÕES

Nesse início de projeto, as atividades foram direcionadas ao estudo do circuito TDC e as ferramentas de EDA para FPGA. Foram descritos alguns blocos digitais utilizando linguagem HDL (Verilog e SystemVerilog) utilizando instruções genéricas de forma que possam ser sintetizados tanto para uso em FPGA como implementação em ASIC. Nos próximos passos, utilizar a metodologia para obter um circuito projetado com as melhores práticas recomendadas pelos fabricantes das tecnologias.

REFERÊNCIAS

[1] W. R. Melo, J.A. Diniz, et al. A multi-phased ring oscillator TDC, designed in HDL language, applied to a low-cost FPGA – XVII Workshop on Semiconductors and Micro & Nano Technology – SEMINATEC 2023 – March 29th to 31st
 [2] Mattawa MP, Guhilot H. Time-to-digital converters—A comprehensive review. Int J Circ Theor Appl. 2021;49:778–800. <https://doi.org/10.1002/cta.2936>.
 [3] <https://www.intel.com/content/www/us/en/products/details/fpga/development-tools/quartus-prime.html>
 [4] https://www.cadence.com/en_US/home/solutions/mixed-signal-solutions/mixed-signal-verification.html.html
 [5] https://www.cadence.com/en_US/home/solutions/mixed-signal-solutions/mixed-signal-implementation.html