

Desenvolvimento de conversores analógico/digital do tipo sigma/delta em tecnologia CMOS convencional utilizando técnicas para tolerância à radiação ionizante

Bolsista Jair Lins de Emeri Junior (CTI) jair.emeri@cti.gov.br

Resumo

Um conversor analógico-digital (ADC - Analog-to-Digital Converters) do tipo sigma delta ($\Sigma\Delta$) tolerante a radiação é proposto para aplicação na área de instrumentação espacial. O modulador $\Sigma\Delta$ foi construído com técnica de tempo contínuo (CT – Continuous Time) devido ao seu menor consumo de energia, maior velocidade de conversão e menor ruído eletrônico.

Foram projetadas três versões de ADC $\Sigma\Delta$ tolerantes à radiação ionizante: uma utilizando a proteção por projeto, no nível do layout, adotando transistores de porta fechada, denominados ELT (Enclosed Layout Transistor), na tecnologia de 600 nm da empresa (foundry) X-FAB, denominada de XC06, a segunda com a adoção dos transistores ELT juntamente com a proteção por processo, utilizando-se da tecnologia SOI (Silicon On Insulator), na tecnologia de 600 nm da empresa X-FAB, denominada de XT06 e a terceira utilizando a tecnologia de 65 nm da empresa TSMC, onde nesta tecnologia a proteção é inerente devido à menor espessura do óxido de porta dos transistores.

O circuito deve ser usado pelos membros do projeto CITAR (acrônimo em português para circuitos integrados tolerantes à radiação ionizante).

Palavras-chave: Conversores de dados; Modulação sigma/delta; Tolerância à radiação ionizante

1. Introdução

Os conversores analógico/digital (ADCs) destacam-se pela sua grande importância dentro da área de processamento de sinais. Isto é explicado, pois, atualmente, grande parte do processamento de sinais em circuitos eletrônicos é efetuada digitalmente.

Existem muitos tipos de ADC que visam a atender aplicações específicas, levando-se em conta a faixa de frequências de entrada (*Bandwidth*) e a resolução em bits. Como estes dois parâmetros seguem caminhos opostos, existe um compromisso entre eles. A Fig. 1 ilustra as áreas de aplicação dos tipos de ADCs mais populares.

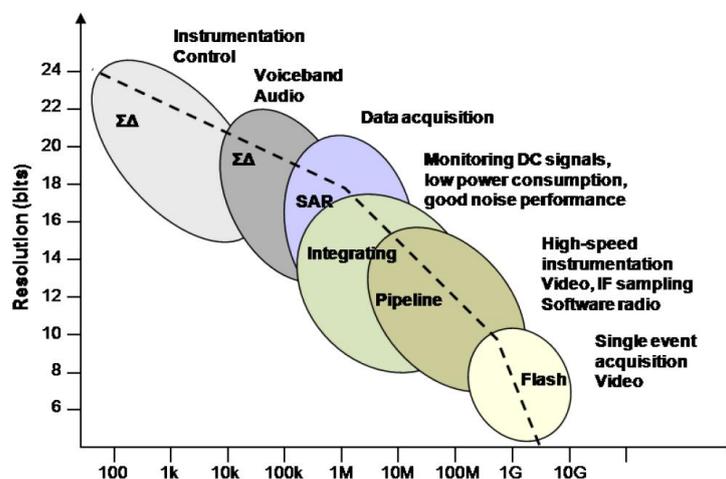


Figura 1 – Áreas de aplicação dos ADCs em função da banda e resolução (KESTER, 2005)

1.2 Efeitos das Radiações Ionizantes em Circuitos Eletrônicos

Circuitos integrados que experimentam a interação de partículas ionizantes sofrem basicamente dois tipos de degradação: as de caráter transiente, que ocorrem devido à incidência de uma única partícula, e as de caráter cumulativo, as quais, por sua vez, ocorrem devido ao acúmulo de doses de radiação ionizantes ao longo da vida útil do circuito (VAZ, 2015).

A colisão de partículas energéticas (tais como prótons, nêutrons, partículas gama ou íons pesados) com o semicondutor provoca a geração de pares elétron-lacuna, através da ionização do material. Esta ionização pode acontecer de forma direta ou indireta. Pela forma direta, a criação dos elétron-lacuna é provocada pela própria partícula incidente ao longo de sua trajetória no interior do semicondutor. A quantidade gerada desses pares é diretamente proporcional à energia total perdida pela partícula durante o percurso (VAZ, 2015).

Os defeitos que se originam devido à dose acumulada ou fluência de partículas por exposição à radiação ionizante se classificam como Efeitos de Dose Total Ionizante, denominado como TID (*Total Ionization Dose*), os quais ocorrem basicamente devido ao acúmulo gradual de cargas positivas aprisionadas, principalmente, na região de transição que ocorre entre o óxido fino e o óxido espesso do material isolante e que induzem, conseqüentemente, cargas negativas na região do canal de transistores MOS de canal N, denominados como NMOS, e entre regiões adjacentes às difusões do tipo N. Para quantificar esta energia depositada, uma unidade de medida usualmente utilizada é o rad (*radiation absorbed*). (VAZ, 2015).

Disfunções oriundas da interação de apenas uma partícula recebem a denominação de Efeitos de Eventos Únicos, denominados como SEE (*Single Event Effects*). Se essas disfunções ocasionarem um defeito permanente no circuito são ainda classificadas em um subgrupo denominado Evento Único Permanente ou Catastrófico (*hard error*). Se a disfunção causar um erro do sistema, mas não acarretar danos permanentes, é classificada como Evento Único Transiente, denominado como SET (*Single Event Transient*) ou não catastrófico (*soft error*). Para circuitos digitais, quando ocorre a inversão de bit, o Evento Único Transiente é denominado como SEU (*Single Event Upset*) (VAZ, 2015).

1.3 Princípio de Funcionamento de ADCs $\Sigma\Delta$

Os ADCs $\Sigma\Delta$ são formados por dois blocos principais (Fig. 2a): O modulador $\Sigma\Delta$ que recebe o sinal analógico e o converte em uma sequência de bits (*bitstream*), e o filtro digital, que converte o *bitstream* do modulador em um número digital “usável”.

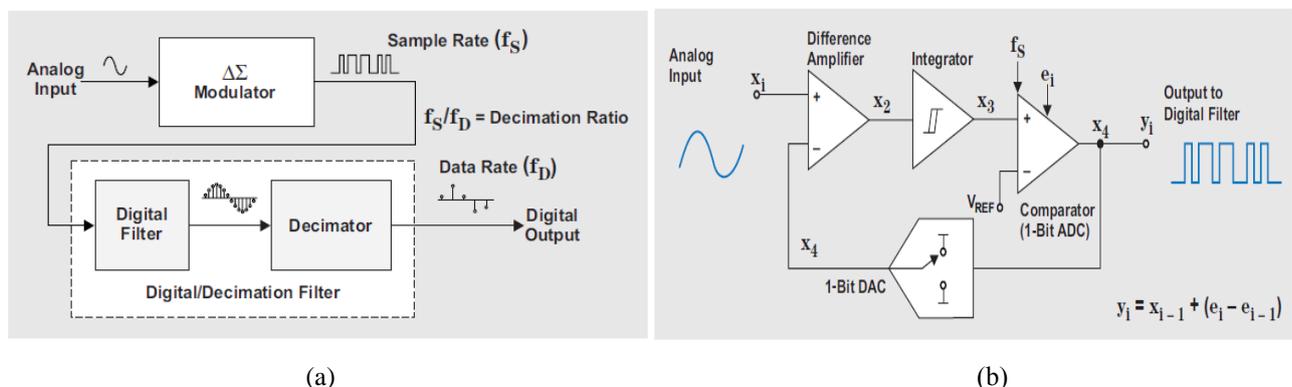


Figura 2 – (a) Arquitetura do ADC $\Sigma\Delta$ – (b) Diagrama de blocos de um modulador $\Sigma\Delta$ de 1ª ordem (BAKER, 2011)

O modulador $\Sigma\Delta$ (Fig. 2b) adquire muitas amostras da entrada analógica para produzir um *bitstream*. O comparador (1-Bit ADC) trabalha com *clock* (f_s). Deste modo a ação de quantização produz alta razão de amostragem, igual à frequência do *clock* f_s . O *bitstream* na saída do modulador representa a voltagem analógica de entrada, definida pela razão entre número de “1s” e “0s”. No

domínio do tempo a tensão de saída do Conversor Digital/Analógico de 1 Bit (1-Bit DAC - Digital to Analog Converter) (X_4) é subtraída da tensão analógica de entrada (X_i), provendo uma tensão analógica X_2 . Esta tensão é aplicada no integrador, cuja saída progride para a direção positiva ou negativa. A inclinação e direção do sinal X_3 na saída do integrador é dependente do sinal e magnitude da tensão X_2 . Por sua vez, a tensão X_3 é comparada com a tensão de referência de zero (V_{REF}), fazendo a saída do comparador chavear de negativo para positivo, ou de positivo para negativo, dependendo da comparação. A saída do comparador, tensão X_4 , é aplicada ao 1-Bit DAC e ao filtro digital, sinal y_i . Quando a saída do comparador chaveia de alto para baixo ou vice-versa, o 1-Bit DAC responde mudando a tensão analógica de referência aplicada ao subtrator (*Difference Amplifier*). Isto cria uma diferente tensão em X_2 , fazendo o integrador progredir na direção oposta.

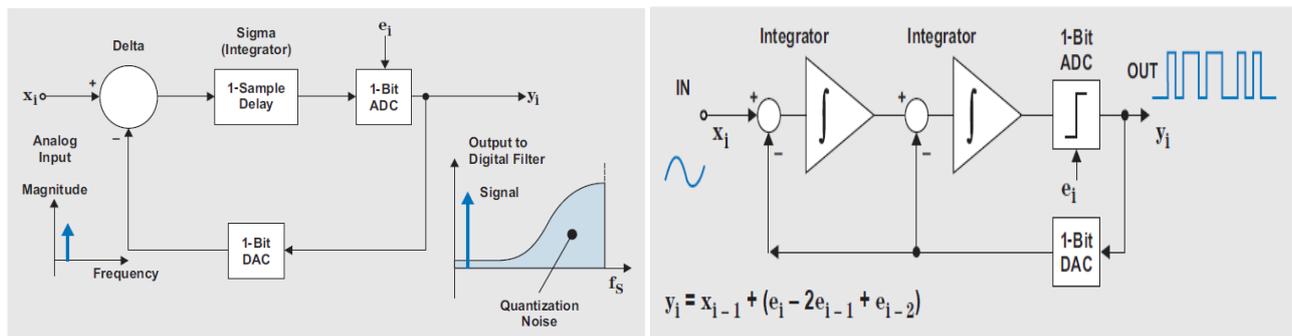


Figura 3 – (a) Diagrama de blocos de um modulador $\Sigma\Delta$ de 1ª ordem, no domínio da frequência – (b) Diagrama de blocos de um modulador $\Sigma\Delta$ de 2ª ordem (BAKER, 2011)

No domínio da frequência (Fig. 3a) o modulador $\Sigma\Delta$ se comporta como um filtro passa-altas, empurrando o ruído de quantização para altas frequências. Este efeito é denominado como *noise-shaping*. A ordem de um modulador $\Sigma\Delta$ é determinada pela quantidade de blocos subtratores (Δ) e integradores (Σ) colocados antes do comparador (1-Bit ADC) (Fig. 3b).

Quanto maior a ordem do modulador, para mais altas frequências será empurrado o ruído de quantização, aumentando a largura de banda do sinal de entrada. A desvantagem é que o circuito torna-se mais instável, tornando o projeto mais complexo.

O filtro digital (Fig. 4) no domínio do tempo realiza a média aritmética dos “0s” e “1s” na saída do modulador $\Sigma\Delta$, ao mesmo tempo em que paraleliza o *bitstream* formando uma palavra utilizável por um processador. No domínio da frequência o filtro digital filtra o ruído de quantização operando como um filtro passa-baixas. À direita da Fig. 4 está a expressão típica da função de transferência do filtro digital no domínio Z, onde N representa o número de estágios de blocos de soma e subtração; R representa a taxa de decimação que é a razão entre a frequência aplicada ao estágio de soma e a frequência aplicada ao estágio de subtração; M representa mais uma divisão na frequência no estágio de subtração, no entanto esta não foi implementada ($M = 1$).

O circuito desenvolvido deve obter alta resolução e trabalhar com sinais de sensores de baixa frequência. Para tanto, especificou-se que alcançaria 16 bits com banda de 1 kHz, utilizando frequência de amostragem de 3 MHz. Dada sua simplicidade, escolheu-se um filtro CIC (Cascade Integrator Comb) de três estágios ($N=3$), taxa de decimação de 256 ($R=256$) e $M=1$. Essa configuração clássica não usa multiplicadores, simplificando o projeto e resultando num circuito de área menor (HOGENAUER, 1981).

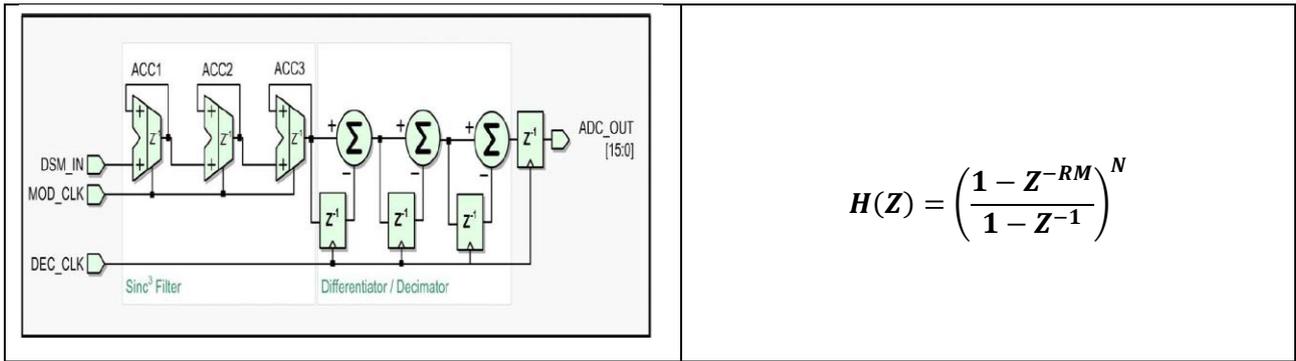
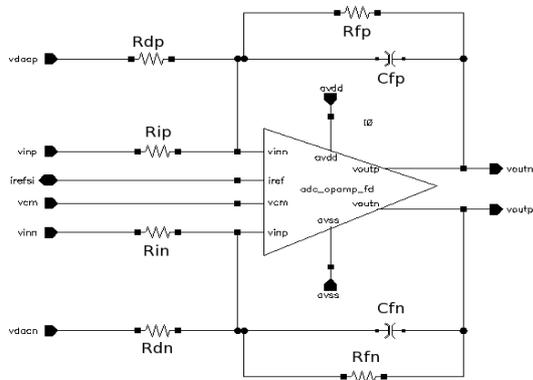


Figura 4 – Diagrama de blocos do filtro digital de 3 estágios e função de transferência típica (WENDER, 2007)

2. Implementação

O principal bloco do modulador $\Sigma\Delta$ é o integrador (Fig. 5), este foi implementado na técnica de tempo contínuo (RC) onde são utilizados resistores comuns, diferentemente da técnica de tempo discreto, onde os resistores são implementados através de capacitores chaveados.



$$v_{out} = - \frac{(v_{in} + v_{dac}) \cdot \frac{R_f}{R_i}}{\sqrt{1 + (R_f \cdot 2 \cdot \pi \cdot f \cdot C_f)^2}}$$

Figura 5 – Esquemático do integrador e equação de ganho

A equação ao lado da Fig. 5 define o ganho do integrador que é o principal parâmetro do modulador $\Sigma\Delta$. O circuito da Fig. 5 também realiza a função de soma ou subtração através da entrada v_{dac} .

A Fig. 6a mostra a geometria de um transistor do tipo ELT como é visto na ferramenta Cadence. Em verde escuro está o gate fechado em polisilício. A Fig. 6b ilustra o layout convencional de um transistor onde um caminho de fuga de corrente pode ocorrer por cargas aprisionadas no óxido de campo (região em azul). No transistor com porta fechada a região em azul fica fora da área ativa do transistor eliminando os problemas com fugas induzidas por canais parasitários.

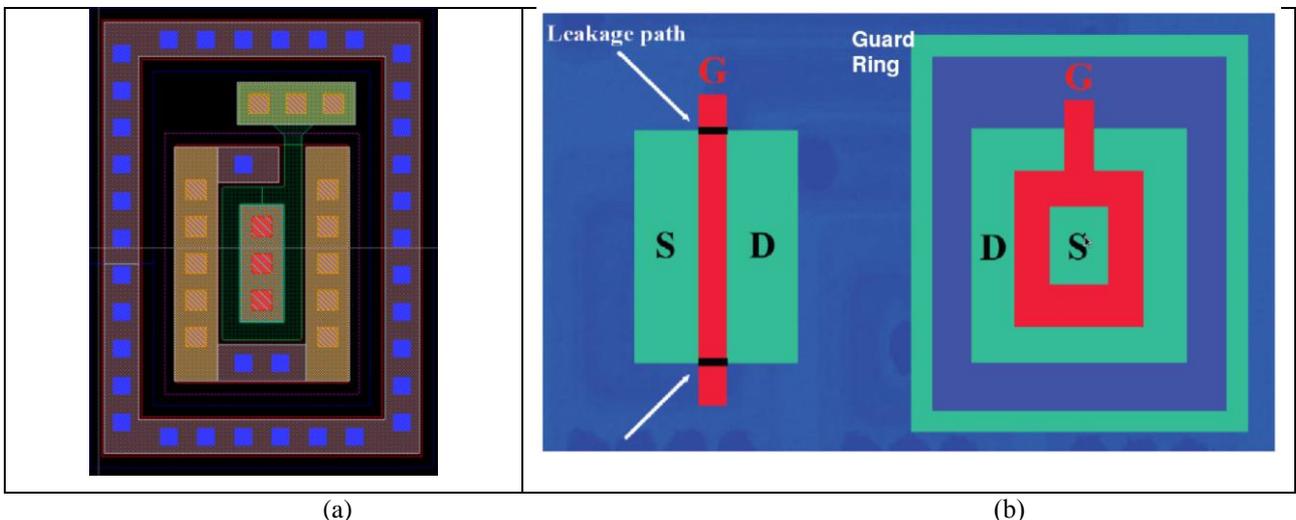


Figura 6 – (a) Layout ELT no Cadence – (b) Ilustração do layout tradicional e ELT (VAZ, 2015)

O filtro digital é constituído por somadores, subtratores e flip-flops. Nas tecnologias XC06 e XT06 o filtro foi implementado manualmente. Na tecnologia da TSMC 65 nm o filtro foi sintetizado e implementado automaticamente com portas lógicas presentes na biblioteca.

A Fig. 7 mostra os layouts completos dos conversores juntamente com os anéis de pads, implementados nas tecnologias XC06, XT06 e TSMC 65nm. Nas Fig. 7a e 7b todos os transistores utilizados no conversor e inclusive nos pads são de geometria fechada (ELT) e na Fig. 7c de geometria convencional. Todos os circuitos foram projetados, simulados e desenhados com o auxílio da ferramenta Cadence. As dimensões de largura e altura na Fig. 7a são de 2903 por 2907 μm , na Fig. 7b são de 3141 por 3343 μm e na Fig. 7c são de 545 por 1962 μm .

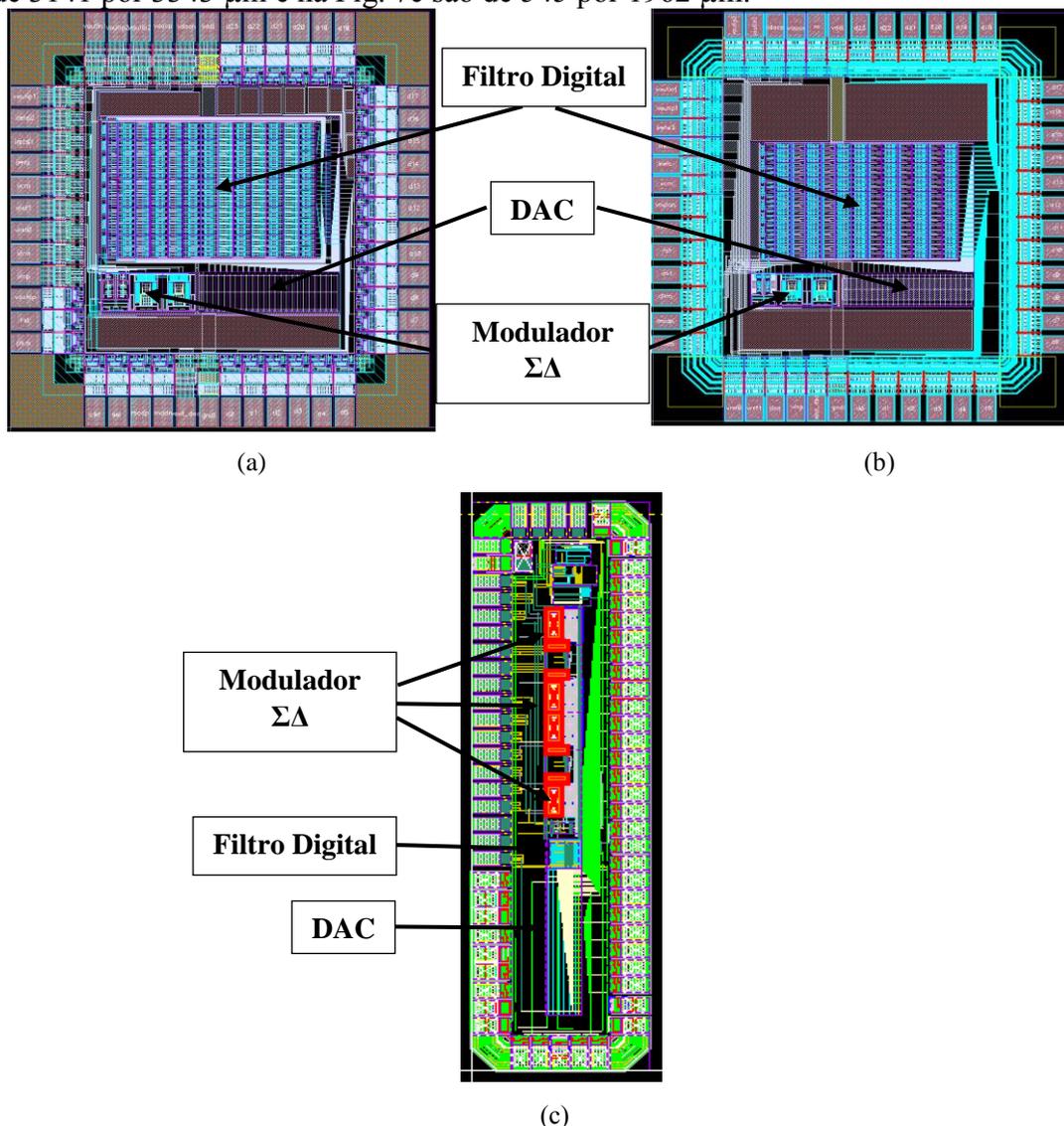


Figura 7 – Layout completo do conversor mais anel de pads na tecnologia X-FAB – (a) XC06 – (b) XT06 (SOI) – (c) TSMC 65nm.

3. Resultados

A Fig. 8a mostra o circuito para simulação (testbench) do ADC $\Sigma\Delta$ completo. Os parâmetros para a simulação foram os seguintes: amplitude do sinal analógico (senóide) de entrada (V_{in}) = 1 Vp; frequência do sinal analógico de entrada (F_{in}) = 1 kHz; frequência de amostragem do modulador (F_{reqMOD}) = 3 MHz; frequência de clock do filtro digital ($F_{reqFILTER}$) = 13 MHz; tensão de referência da amplitude mínima do sinal analógico de entrada (V_{REF0}) = 1,5 V; tensão de referência da amplitude

máxima do sinal analógico de entrada (V_{REF1}) = 3,5 V; corrente de polarização dos amplificadores operacionais e comparador (I_{BIAS}) = 4 μ A; tensão de alimentação (V_{DD}) = 5 V.

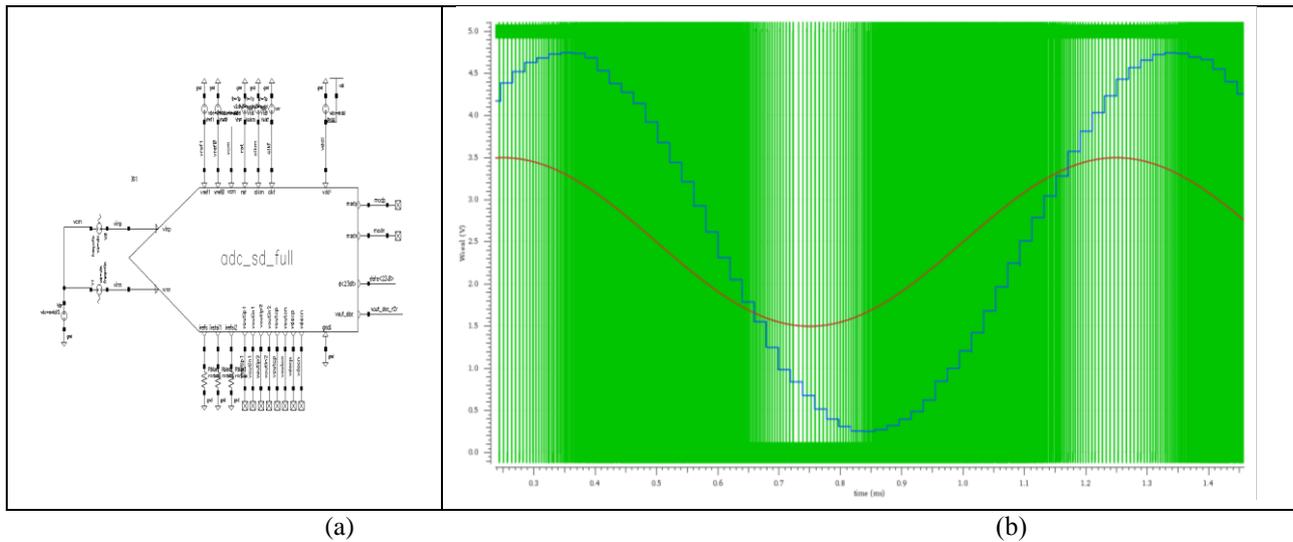


Figura 8 – (a) Testbench para simulação do ADC $\Sigma\Delta$ completo – (b) Resultados da simulação temporal

O circuito é o mesmo nas tecnologias XC06, XT06 e TSMC 65nm, assim os resultados das simulações foram praticamente iguais. A Fig. 8b resume os resultados para o ADC em todas as tecnologias. O ideal é simular todo o circuito em nível de layout, no entanto, isto torna a simulação muito “pesada”, demorada e acaba travando o computador. Mesmo considerando os pads ou o filtro digital em nível de esquemático, a simulação se torna inviável. Para contornar isto, o filtro digital e os pads foram simulados em nível de linguagens de descrição de hardware, verilog e verilogA respectivamente.

O sinal senoidal em vermelho é o sinal de entrada (V_{in}). Em verde está o *bitstream* do modulador $\Sigma\Delta$ (modp). Em azul está o sinal na saída do ADC $\Sigma\Delta$ reconstruído por um DAC ideal, confirmando o funcionamento correto do ADC $\Sigma\Delta$ completo.

4. Trabalhos Futuros

Enviar os circuitos para fabricação para posterior realização de testes funcionais e de robustez.

5. Agradecimentos

Nossos agradecimentos ao Centro de Tecnologia da Informação Renato Archer (CTI) por proporcionar toda a infraestrutura de projeto em ferramentas, principalmente da Cadence. Agradecemos também ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pelo fornecimento da bolsa PCI para Jair Lins de Emeri Junior.

Referências

BAKER B. *How delta-sigma ADCs work, Part 1.* Texas Instruments Incorporated. *High-Performance Analog Products. Analog Application Journal Third Quarter*, p.13-14, 2011. www.ti.com/aaaj

HOGENAUER E. H. “An Economical Class of Digital Filters for Decimation and Interpolation”, *IEEE Trans. Acoustics, Speech, and Signal Processing*, vol. ASSP-29, no. 2, April 1981.

KESTER W. *Which ADC Architecture Is Right for Your Application?* *Analog Dialogue* 39-06, June (2005) p. 1, 2005. <https://www.analog.com/media/en/analog-dialogue/volume-39/number-2/articles/the-right-adc-architecture.pdf>

VAZ, P. I. *Efeitos da Radiação Ionizante e Técnicas de Proteção Aplicadas a Projetos de Dispositivos MOS Customizados – Dissertação de Mestrado – Universidade Federal do Rio Grande do Sul. Porto Alegre, BR – RS, 2015.*

WENDER R., IHME D. *TSA002 – 16-bit Sigma Delta ADC Design. Rev. 1.0 (02/6/2007) App. Note p.7, 2007.* www.triadsemi.com