

Melhoria do ambiente computacional EDA para projetos de CIs com ênfase em aplicações espaciais.

Paula Cristiane Secheusk (CTI) paula.secheusk@cti.gov.br

Resumo

Este trabalho visa apresentar dentre os nós tecnológicos adotados pelo CTI, em seu ambiente de projetos, a metodologia recomendada pelos fabricantes e a customização necessária para adequar o ambiente a cada necessidade singular. Os fluxos de projeto têm uma forte interoperabilidade entre as ferramentas EDA (Electronic Design Automation): Cadence - projeto e simulação, Mentor Graphics - verificação física e extração de parasitas, MunEDA - otimização de resultados; e o Subversion (SVN) no controle de versão. O uso das ferramentas de projeto profissionais é imprescindível para atingir os objetivos de realizar projetos corretos por construção (design correct by construction).

Como resultados foram customizados quatro nós tecnológicos (600nm, 350nm, 180nm e 65nm) de três foundries (TSMC, UMC e XFAB), duas versões de S.O., três EDA vendors, seis tipos de fluxo de projeto para CIs, documentação, software de controle de versão, e backup.

Um ambiente estável orientado pelos fabricantes de tecnologia é primordial. A melhoria do ambiente computacional EDA para projeto de CIs (Circuito Integrado) permite o desenvolvimento de circuitos na metodologia recomendada pelas foundries. No âmbito do Projeto CITAR (Circuitos Integrados Tolerantes à Radiação) foram desenvolvidos vários circuitos listados neste trabalho, os quais foram fabricados e estão sendo testados conforme as normas internacionais, obtendo-se excelentes resultados.

Palavras-chave: Metodologia de Projeto; ASICs; EDA; Radiação ionizante e Circuitos Integrados.

1. Introdução

Os constantes avanços tecnológicos na indústria de semicondutores têm permitido minimizar as dimensões das células elementares dos dispositivos eletrônicos, aumentando sua densidade e consequente funcionalidade. Estes avanços determinam constantes atualizações nos métodos e procedimentos desenvolvidos para modelagem, projeto e fabricação dos circuitos integrados. A Figura 1 adaptado de [SPINOGRAPH], ilustra a evolução dos nós tecnológicos da tecnologia CMOS, onde são ressaltados em cor verde os nós usados no Núcleo de Concepção de Sistemas de Hardware (NCSH) do CTI para o desenvolvimento dos projetos.

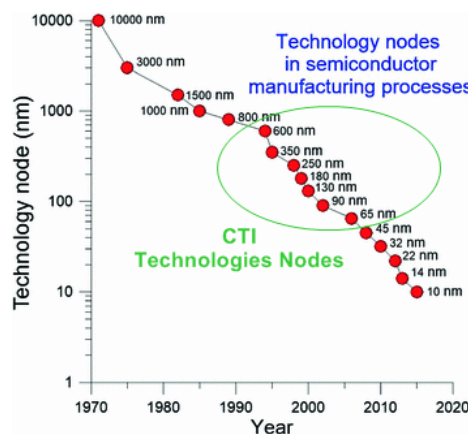


Figura 1 – Nós Tecnológicos do NCSH-CTI

Mesmo a utilização de nós tecnológicos considerados sedimentados como o caso das tecnologias CMOS: dimensões 600nm, 350nm e 180nm são utilizados em uma vasta gama de aplicações, e ainda recebem atualizações por parte das *foundries*, com o intuito de melhorar a confiabilidade dos seus processos. Essas atualizações do processo de fabricação demandam uma constante evolução das ferramentas de projeto, exigindo maior processamento computacional, tornando software e hardware obsoletos, necessitando constante atualização da configuração estabelecida.

O fluxo de projetos do NCSH sempre utilizou os fluxos recomendados por fabricantes como Cadence e Mentor, principais fornecedores das ferramentas profissionais de EDA [AHSAN, BOWU] na área de semicondutores, cujas ferramentas são compatíveis com processos de diferentes *foundries*, tornando o fluxo de projeto mais dinâmico, reduzindo o risco de incompatibilidades com processos que requerem altos níveis de confiabilidade.

Atualmente, um novo desenvolvedor tem ganhado espaço devido a força para modelagem, verificação e otimização de projetos dedicados, a MunEDA tem sido utilizada para estes fins. As facilidades da mesma têm sido utilizadas pelos fabricantes de CIs que disponibilizam estas funcionalidades em seus PDKs (*Process Design Kit*). Esta ferramenta está sendo integrada ao fluxo de ferramentas Cadence e Mentor, reduzindo NRE (*Non-recurring engineering*) e aumentando à robustez em termos de confiabilidade dos CIs.

Atualizar as facilidades do ambiente de projetos do CTI para realizar desenvolvimento em sistemas e CIs, é primordial para preservar a relevância da instituição como referência em ambiente de projetos de CIs no âmbito nacional, bem como, tornar-se um centro de referência mundial em treinamento e divulgação no estado da arte dos desenvolvedores de ferramentas EDA.

2. Objetivos e Metodologia

Para se iniciar um projeto de CI é necessária a definição do nó tecnológico, e conseqüentemente, o PDK a ser usado de um determinado fabricante. No PDK são especificados os tipos de ferramentas EDA qualificadas (Cadence, Mentor Graphics, MunEDA, etc) a serem usadas e suas versões, além da definição dos Sistemas Operacionais [CADENCE S.O.] suportados, Figura 2 [FIGHW].

De posse destas informações, faz-se a verificação dos Sistemas Operacionais suportados pelo hardware disponível no ambiente de produção (estações de trabalho e servidores), haja visto que esse hardware pode ser um grande limitante em desempenho, capacidade de processamento e armazenamento (CPU, RAM, e HDD).



Figura 2 – Fluxograma das necessidades operacionais para projeto de CIs.

Na etapa inicial dos projetos são realizados estudos, onde, deve-se levar em consideração a manutenção dos projetos anteriores. É possível que haja projetos em fase de conclusão, outros em andamento e outros iniciando, cada qual, com uma orientação do fabricante quanto às condições

ideais e qualificadas de operação. Deste modo, o ambiente de projetos deve proporcionar uma perfeita sinergia entre as variantes, sejam elas de: hardware, sistemas operacionais, ferramentas EDA e PDKs.

Dentre os diversos fluxos de projeto recomendados pelos fabricantes do PDK, existe uma forte interoperabilidade entre as ferramentas dos projetos de CIs, mesmo entre os principais concorrentes do setor. Como exemplo destas demandas, pode-se elencar necessidades de integrar ferramentas EDA como: Cadence – projeto e simulação [CADENCE1-3], Mentor Graphics – verificação física e extração de parâmetros parasitários [CALIBRE1-2, PYXIS], MunEDA – otimização de resultados; e, ferramenta de controle de versão [SVN1-2].

Em seqüência ao fluxo de projeto, é relevante destacar que através do desenvolvimento de metodologias e customizações para o aprimoramento na forma de trabalho dos projetistas, organização da base de dados e da documentação, controle de versão, e rotinas de *backup* são atividades imprescindíveis à manutenção de um ambiente de projetos.

Portanto, foram realizados estudos em conjunto com o time de projetistas do NCSH para atender estas demandas, que resultaram no desenvolvimento de: fluxo de projeto (Analogico, Digital e Sinais Mistos) abrangendo setup e integração entre as ferramentas EDA e os PDKs, estruturação da área de trabalho dos projetistas (*workareas*), estruturação da documentação e nomenclatura (*general_docs*), estruturação dos blocos analógicos, digitais, e suas respectivas bibliotecas Cadence/Mentor, definição do padrão para criação da “máscara” do projeto; e, a utilização de uma ferramenta de controle de versão com customizações específicas para este tipo de ambiente, garantindo a integridade dos dados obtidos ao longo de todo o processo de desenvolvimento em suas mais diversas etapas.

Quanto às atividades relacionadas ao controle de versão, abrange-se: estudo, instalação e setup da ferramenta em todas as máquinas clientes e no servidor SVN (criado), configuração das contas de usuários, estruturação do repositório do projeto (*trunk, branches, tags*), estruturação da forma de trabalho entre os projetistas (*lockdir, unlockdir*) e os tipos de projeto (documento de diretrizes de projeto), estudo e desenvolvimento de *scripts* em linguagem *SKILL* [SKILL1-3] para integração de funcionalidades extras da ferramenta de controle de versão à ferramenta EDA, e, treinamento dedicado para o time de projetistas.

E, pela complexidade da estrutura de projetos de CIs num ambiente computacional EDA, fez-se necessário o estudo e desenvolvimento de *scripts* em linguagem *Shell Script*, para a realização de rotinas simples de *backup* de uso exclusivo do NCSH.

3. Resultados

Com base na metodologia proposta, os resultados gerados permitiram implementar uma infraestrutura e métodos adequados para atualização constante dos procedimentos recomendados nos projetos de CIs do NCSH. Para a aplicação dos métodos levou-se em consideração as necessidades do mercado em aplicações espaciais e similares. Assim sendo, seguem alguns resultados:

3.1. Interação PDKs x Ferramentas EDA x Sistemas Operacionais

Para aplicação dos métodos desenvolvidos, foram assumidos os nós tecnológicos das seguintes *foundries* e PKDs: TSMC (65nm e 180nm) [TSMC], UMC (180nm) [UMC], XFAB (600nm, 350nm, e 180nm) [XT018]. A Figura 3 ilustra o estudo realizado para o nó tecnológico CMOS 180nm.

Levando-se em conta as informações acima, as necessidades dos projetos em andamento e futuros, foram instalados no NCSH: uma versão de Sistema Operacional (RHEL 6.5 x86_64bits), mantendo-se a versão RHEL 5.1 x86_64bits para projetos antigos; oito PDKs, sendo TSMC-65nm e TSMC-180nm, UMC-180nm, duas versões XFAB-XT018, duas versões

XFAB-XT06, uma versão XFAB-XC06; e inúmeras ferramentas EDA com suas respectivas atualizações.

Foundries - CMOS 180nm							
Vendors	Tool	TSMC		UMC		XFAB	
		Version	S.O.	Version	S.O.	Version	S.O.
cadence®	MIMEM	16.10.510	RHEL 6	12.11.330	RHEL 5	14.10.765	RHEL 6
	CDS	06.17.704-617	RHEL 5, RHEL 6, RHEL 7	06.15.171-615	RHEL 5, RHEL 6	06.16.140	RHEL 5, RHEL 6
	ASSURA	04.15.111-617	RHEL 6	04.14.111-615	RHEL 5, RHEL 6	04.14.125-616	RHEL 5, RHEL 6
	IUS	08.20.020	RHEL 5, RHEL 6	08.20.020	RHEL 5, RHEL 6	08.20.020	RHEL 5, RHEL 6
	RC	14.25.000_ISR5	RHEL 5, RHEL 6	12.24.000	RHEL 5, RHEL 6	14.25.000_ISR5	RHEL 5, RHEL 6
	ET	15.11.101	RHEL 5, RHEL 6	15.11.101	RHEL 5, RHEL 6	15.11.000	RHEL 5, RHEL 6
	ETS	13.19.000	RHEL 5, RHEL 6	13.19.000	RHEL 5, RHEL 6	13.19.000	RHEL 5, RHEL 6
	SOCE	09.11.001	RHEL 5, RHEL 6	09.11.001	RHEL 5, RHEL 6		RHEL 5, RHEL 6
	QRC	15.26.000	RHEL 6			15.12-6269	RHEL 6
	CONF	15.10.180	RHEL 5, RHEL 6	15.10.180	RHEL 5, RHEL 6	15.10.180	RHEL 5, RHEL 6
	IFV	09.20.022	RHEL 5, RHEL 6	08.20.001	RHEL 5, RHEL 6	09.20.022	RHEL 5, RHEL 6
	INCSIV	15.10.002	RHEL 5, RHEL 6	13.10.030	RHEL 5, RHEL 6	15.10.002	RHEL 5, RHEL 6
	PVE	15.22.000	RHEL 5, RHEL 6	12.11.215	RHEL 5, RHEL 6	15.11.000	RHEL 5, RHEL 6
	PVS	15.22.000	RHEL 5, RHEL 6	12.11.215	RHEL 5, RHEL 6	15.11.000	RHEL 5, RHEL 6
Mentor Graphics®	CALIBRE	2016.4_38.25	RHEL 6	2013.3_28.19	RHEL 6	2015.1_38.27	RHEL 6
	PYXIS	v10.3_linux_x86_64	RHEL 5, RHEL 6	v10.3_linux_x86_64	RHEL 5, RHEL 6	v10.3_linux_x86_64	RHEL 5, RHEL 6
MunEDA	MunEDA	7.2	RHEL 6, RHEL 7	6.8	RHEL 6	7.0	RHEL 6

Figura 3 – Estudo do Nó Tecnológico CMOS 180nm

3.2. Desenvolvimento de Métodos e Procedimentos para melhoria do ambiente EDA para projeto de circuitos espaciais

Para melhoria do ambiente EDA, foram desenvolvidos: seis tipos de fluxos de projeto para CIs: Analógico/RF, Digital, Sinais Mistos, FPGA, Circuitos de Pesquisa, e Criação de *Wafer*; uma estrutura de diretórios (*/general_docs/*) para contemplar toda a documentação do projeto; três tipos de formulários de requisição de área: Circuitos Gerais, Projeto e *Wafer*; dois tipos de *checklists* contendo o passo-a-passo para: Abertura de novos projetos e Inclusão de novos usuários nos projetos.

A Figura 4, por exemplo, ilustra o Fluxo de Projeto de Sinais Mistos (Analógico e Digital) e a estrutura de diretórios do */general_docs*.

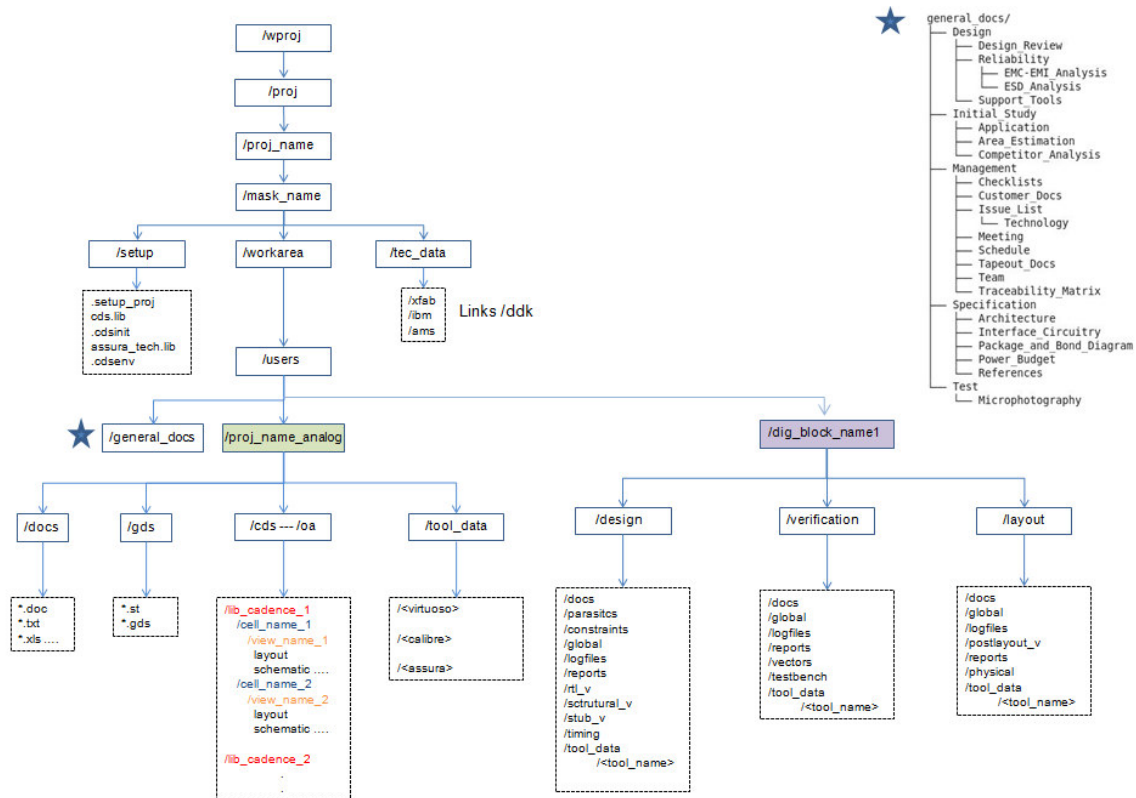


Figura 4 – Fluxo de Projeto de Sinais Mistos

3.3. Interação Controle de Versão x Ferramenta EDA x Backup

Para garantir a integridade dos dados obtidos ao longo de todo o processo de desenvolvimento de um projeto de CI, optou-se por fazer uso da ferramenta de controle de versão - Subversion (Linux), software livre da *CollabNet VersionOne*. Após muitos estudos e levantamento das necessidades do NCSH, a ferramenta foi instalada e configurada para todos os projetistas do NCSH, sendo criado um servidor SVN com inúmeros arquivos e diretórios de configuração devidamente customizados: *authz*, *config*, *servers*, *svnserve.conf*, nove *scripts hooks*, definição das propriedades *svn:needs-lock* para o ambiente computacional EDA.

A partir disto, foi desenvolvido: uma estrutura do repositório de projeto (*trunk*, *branches*, *tags*), quatro *scripts* de uso pelos projetistas (*addverilog*, *lockdir*, *unlockdir*, *lockfy*), um documento “Diretrizes de Uso” para os projetos de CIs do NCSH, um treinamento com sete exercícios práticos na ferramenta de controle de versão Subversion devidamente customizada para as necessidades do respectivo Núcleo.

E, para agilizar as atividades dos projetistas, fez-se necessário o estudo e desenvolvimento de *scripts* em linguagem *SKILL*, para a integração da ferramenta Subversion à ferramenta Cadence, resultando na criação de uma estrutura contendo: dois arquivos de setup, dois arquivos de menus Cadence (*layout* e esquemático), e dez *scripts* que adicionam funcionalidades extras do SVN às ferramentas Cadence. Os resultados estão ilustrados na Figuras 5 e na Figura 6.

Dada à complexidade da estrutura de projetos de CIs num ambiente computacional EDA, fez-se necessário também o estudo e desenvolvimento de *scripts* em linguagem *Shell Script*, para a realização de rotinas simples de *backup* de uso exclusivo do NCSH, gerando a criação de dois *scripts*: *backup* incremental do SVN e *backup* geral do SVN.

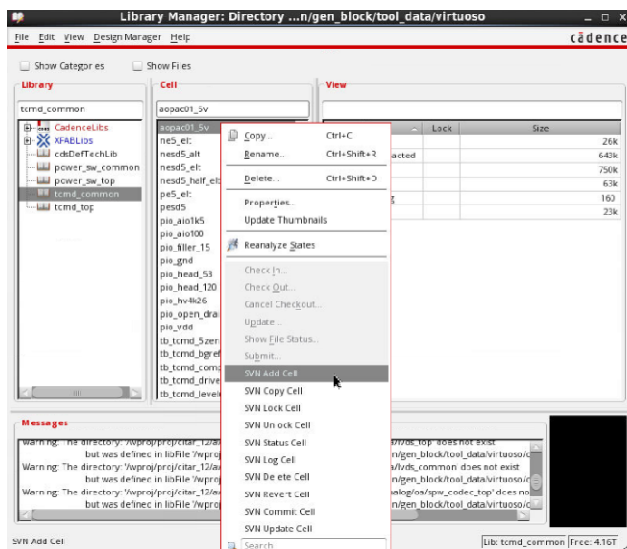


Figura 5 – Integração da ferramenta Subversion à ferramenta Cadence

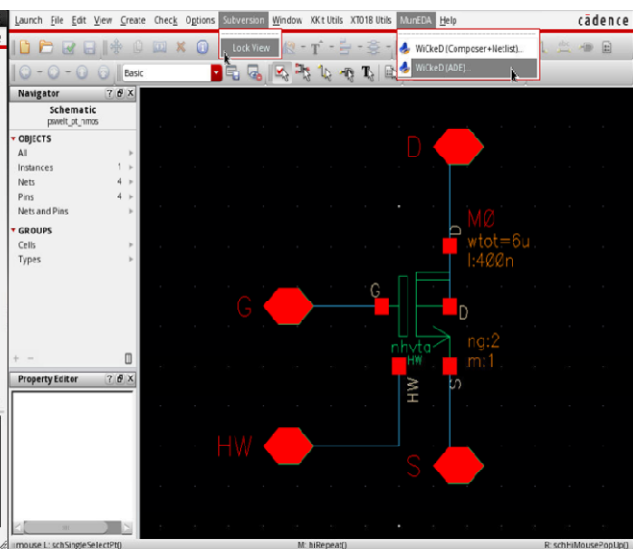


Figura 6 – Integração das ferramentas Cadence x Subversion x MunEDA

4. Conclusão

Com os resultados até aqui obtidos, podemos afirmar que é primordial seguir as orientações dos fabricantes de tecnologia para se ter um ambiente operacional estável. A melhoria e customização do ambiente computacional EDA para projeto de CIs, permitiu aos projetistas do NCSH o desenvolvimento de circuitos na metodologia recomendada pelas *foundries*. Neste contexto, no âmbito do Projeto CITAR (Circuitos Integrados Tolerantes à Radiação), foram desenvolvidos vários circuitos, entre eles destacam-se: Chave de potência com limitação de corrente, na tecnologia XFAB 600nm, fabricado no CEITEC; e, *SpaceWire* [SPACEWIRE1-2], PLL (*Phase Locked Loop*), LVDS (*Low Voltage Differential Signaling*), Regulador 3V3 para 1V8, Amplificadores

Operacionais, Multigates com Regulador para 200mA e Oscilador de 100MHz, na tecnologia UMC 180nm com DARE180 (*Design Against Radiation Effect*), fabricados no IMEC. Estes circuitos estão sendo testados conforme as normas internacionais, obtendo-se excelentes resultados.

Por outro lado, o CTI como referência nacional em concepção de sistemas de hardware, necessita de uma manutenção constante do ambiente de desenvolvimento de sistemas e CIs para tornar-se um centro de referência mundial na divulgação e treinamento de ferramentas EDA.

5. Referências

AHSAN JAFRI, E. PAUL JEBASINGH, SHANTAGOUDAR GOUDAR *EDA cost optimization through design process analytics*. 2016 Sixth International Symposium on Embedded Computing and System Design (ISED), Conference Paper, p. 340-344, 2016.

BOWU YAN, XICAI CHENG, FEI YANG, LI YAO *Research on EDA technology and its related issues*. 2010 International Conference On Computer Design and Applications, Vol. 4, p. 26-29, 2010.

CADENCE1 Manual: Virtuoso AMS Environment User Guide, V. 5.3, April 2004: Cadence_AMS_Environment_User_Guide.pdf

CADENCE2 Manual: Cadence Library Manager User Guide, V. 4.4.6, June 2000: Cadence_Library_Manager_User_Guide.pdf

CADENCE3 Manual: Cadence Application Infrastructure User Guide, V. 3.4, November 2005: Cadence_Application_Infrastructure_User_Guide.pdf

CADENCE S.O. Computing Platforms - Supported Platform Matrix for Cadence Applications, July 2019: platform.pdf

CALIBRE1 <https://support.sw.siemens.com/en-US/knowledge-base/MJ584482>

CALIBRE2 http://calibre.mentorcloudservices.com/docs/Calibre_OS_Roadmap.htm

FIGHW Apresentação “Computador”, Adão de Melo Neto, arquivo: MEMORIA_2017.pdf

PYXIS https://support.sw.siemens.com/en-US/product/852852102/downloads?downloadId=DL201404084en_US

SKILL1 Manual: Cadence SKILL Language Programming, V. 5.0, July 26, 2002: Skill_Language_Programming.pdf

SKILL2 Manual: SKILL Language Reference, V. 06.30, November 2008: Skill_Language_Reference.pdf

SKILL3 Manual: SKILL Language User Guide, V. 06.30, September 2005: Skill_Language_User_Guide.pdf

SPACEWIRE1 LAZARI, D. B. ; DEUCHER A ; SANTOS, Â. A. ; FINCO, S. ; HORN, A. ; BEER, M. ; OHLEN, V. Debug and Verification of SpaceWire links Test and Verification Session, Short Paper. In: International SpaceWire Conference 2018, 2018, Los Angeles. Debug and Verification of SpaceWire links Test and Verification Session, Short Paper, 2018.

SPACEWIRE2 A. DEUCHER, A. A.SANTOS, J.L. EMERI JR., D.B. LAZARI, A.C. C. TELLES AND S. FINCO "Radiation Hardened by Design library and Triple Module Redundancy with Error Correction Codes for development Space Wire ASIC". SEMINATEC 2019.

SPINOGRAPH <http://www.spinograph.org/blog/why-nanoelectronics-better-microelectronics>

SVN1 Manual: Version Control with Subversion for Subversion 1.6 (Compiled from r3765), Ben Collins-Sussman, Brian W. Fitzpatrick, C. Michael Pilato: SVN_Book.pdf

SVN2 Manual: Subversion v1.6 – Quick Reference Card: Subversion_Quick_Reference_Card.pdf

TSMC TSMC PDK Checklist – 0.18um MIXED SIGNAL GENERAL PURPOSE II 1P6M/1P5M SALICIDE 1.8V/3.3V PDK, V. 1.3A, 01/17/2017: tsmc18mm_1.8v_3.3v_FSA_checklist_1.3a.pdf

UMC UM180FDKMFC00000OA Foundry Design Kit of 0.18 um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process, V. A02_P.B, 2014/04/16: G-9FD-MIXED_MODE_RFCMOS18-1.8V_3.3V-1P6M-MMC_UM180FDKMFC00000OA-FDK-Ver.A02_PB.pdf

XT018 GSA MIXED-SIGNAL/RF, PDK CHECKLIST, V. 3.0, XT018 – 0.18um HV SOI CMOS, 09/23/2016: xt018-cds-PDK-GSA_Checklist-v5.0.1.pdf