

Otimização de projetos de circuitos analógicos, digitais e mistos.

Cristian O. Hamanaka (CTI) cristian.hamanaka@cti.gov.br

Resumo

Este trabalho visa novos métodos de aplicação de Hardware e Software adequando a infraestrutura existentes no CTI, focando na otimização e customização das ferramentas EDA (*Electronic Design Automation*) necessárias para execução de projetos de circuitos analógicos e mistos em aplicações espaciais e similares. Definido um ambiente operacional estável para desenvolvimento de projetos de circuitos integrados, o desafio torna-se que tipo de métodos e topologias que serão adotados para extrair o melhor resultado das especificações, em detrimento dos efeitos parasitários intrínsecos ao sistema.

Os efeitos degradantes da radiação ionizante nos circuitos eletrônicos podem ser atenuados por meio de técnicas de mitigação, de acordo endurecimento à radiação via processo (*Radiation Hardening by Process - RHBP*) e endurecimento à radiação via projeto (*Radiation Hardening by Design - RHBD*).

O uso das ferramentas EDA profissionais é imprescindível para atingir os objetivos de endurecimento à radiação via projeto RHBD. As técnicas de mitigação foram utilizadas em diferentes circuitos fabricados pelo projeto CITAR, e citados neste trabalho. Também é necessário o aperfeiçoamento e automatização dos testes dos circuitos fabricados e o desenvolvimento de scripts para automatizar simulações de circuitos tolerantes à radiação aumentando a confiabilidade dos resultados e diminuindo a interação humana, já que os testes são realizados em ambiente controlado.

Palavras-chave: Metodologia de Projeto; ASICs; EDA; Radiação e Circuitos Integrados.

1. Introdução

Para realizar projetos de circuitos em semicondutores a NCSH utiliza os fluxos recomendados pelas principais fabricantes de software do segmento que são: Cadence e a Mentor Graphics. Estas recomendações de projeto são utilizadas por todas as empresas e centros de excelência em pesquisa desta área.

O projeto de circuitos integrados possui especificidades conforme sua aplicação final, por exemplo, em CI's digitais o foco é redução de área total e velocidade de processamento; em CI's analógicos precisão e baixo consumo; em CI's de potência capacidade de operar com correntes e tensões altas, em comunicações a prioridade são as altas e médias frequências. Recentemente, por meio do projeto CITAR, o CTI adicionou mais expertise ao seu portfólio. Projetar circuitos integrados tolerantes a radiação ionizante para aplicações espaciais e saúde em âmbito nacional.

Para atingir os objetivos do projeto CITAR é necessário desenvolver métodos e procedimentos para utilização dos kits de projeto, estabelecer fluxos de projeto integrando as ferramentas recomendadas, propor novas topologias de projeto para aplicações espaciais e utilizar a metodologia criada para as áreas específicas (analógica, digital, mistos e RF).

Visando reduzir o impacto dos custos e aumentar a compatibilidade entre blocos já projetados, com blocos que utilizam técnicas de mitigação de efeitos da radiação ionizante foram utilizados nós tecnológicos das tecnologias CMOS comerciais de dimensões 600 nm, 350 nm e 180 nm, que possuem uma vasta gama de aplicações.

2. Efeitos causados por radiação ionizante em dispositivos semicondutores

Para iniciar o projeto de ASIC's dedicados à aplicações espaciais é necessário entender os efeitos para reduzir a ação e os danos causados por radiação ionizante em dispositivos semicondutores.

Estas radiações ionizantes são geradas por quatro fontes principais: dos ventos solares, dos raios cósmicos solares (Solar Cosmic Rays, SCR), dos raios cósmicos galácticos (Galactic Cosmic Rays, GCR) e do cinturão de Van Allen (Van Allen Belts). Assim, as principais partículas provenientes das fontes citadas são: os elétrons, prótons e os íons pesados de origens e energias diferentes (DODD, 1999).

As partículas atravessam os dispositivos semicondutores e ao longo do caminho percorrido são criados pares elétron-lacuna. Os pares criados nesta trajetória são responsáveis pelos efeitos conhecidos como *total ionizing dose effects* (TID) e pelos efeitos conhecidos como *near instantaneous effects* que ocorrem durante a exposição à radiação e são de natureza transitória, também conhecidos como *single-event effects* (SEE). Um exemplo destes efeitos é chamado, SE Latch-up, condição resultante da radiação ionizante que atravessa um circuito CMOS e isso provoca a circulação de cargas entre transistores bipolares parasitários podendo gerar falhas catastróficas nos dispositivos.

Outros efeitos podem ocorrer como o aprisionamento de cargas no óxido de porta e nas suas interfaces causando alteração da tensão de limiar, estes eventos reduzem o tempo de vida e afetam a mobilidade, induzindo o surgimento de correntes de fuga degradando os dispositivos (VELAZCO, 2007).

3. Metodologia

O projeto de circuitos tolerantes a radiação é estratégico e visa além do desafio de dominar as técnicas de projeto, preparar a infraestrutura de testes de radiação em componentes eletrônicos no território nacional, promovendo a independência tecnológica nessa área. Este projeto conta com a parceria do Centro de Tecnologia da Informação Renato Archer (CTI), Agência Espacial Brasileira (AEB), do Instituto de Física (IF) da USP, Instituto de Estudos Avançados (IEAv), Instituto Nacional de Pesquisas Espaciais (INPE), as universidades FEI-SP, Instituto Mauá e a Pontifícia Universidade Católica do Rio Grande do Sul.

Para a execução de projetos deste porte é necessário uma infraestrutura de hardware com servidores e estações de trabalho, sistemas operacionais compatíveis às versões de ferramentas EDA recomendadas e qualificadas para as tecnologias comerciais. Esta etapa é de fundamental importância, pois, pode inviabilizar completamente o projeto.

Os efeitos degradantes da radiação ionizante nos circuitos eletrônicos podem ser atenuados por meio de técnicas de mitigação, de acordo com a classificação geral a seguir: endurecimento à radiação via processo (*Radiation Hardening by Process* - RHBP) e endurecimento à radiação via projeto (*Radiation Hardening by Design* - RHBD).

O RHBP apresenta desvantagens como baixo rendimento e custos de fabricação mais elevados (BARNABY, 2009). Foram selecionadas diferentes tecnologias para mitigar estes

efeitos, como no caso do nó tecnológico 600 nm da XFAB que possui uma versão em SOI (*Silicon on insulator*) e do nó tecnológico 180 nm da UMC que possui em sua biblioteca componentes tolerantes a radiação.

As vantagens dos SOI MOSFETs são: simplificar as etapas de fabricação, melhorar a densidade de integração, reduzir as dimensões dos componentes parasitários intrinsecamente e proteger contra latch-up. Uma vez que os poços (well) dos SOI MOSFETs são completamente isolados pelo óxido enterrado, o efeito SCR (tiristor parasitário) não ocorre. Além disso, a ligação entre o BOX e o seu substrato (corpo) proporciona ao SOI Substrato p BOX - Óxido enterrado MOSFETs um caminho para as cargas ao ponto de aterramento. No entanto, na camada de óxido enterrado BOX existem defeitos (armadilhas) nas quais as cargas podem ficar aprisionadas, causando no SOI MOSFET alterações na tensão de limiar devido a TID (ESA HANDBOOK, 2016).

A seguir é dada uma visão geral de outras técnicas de projeto de CIs CMOS visando à robustez aos efeitos das radiações ionizantes (Radiation Hardening By Design, RHBD) assim como os da influência dos diferentes tipos de leiautes para MOSFETs (HUGES; BENEDETTO, 2003), (FERLET, 2007).

O leiaute convencional de um MOSFET é retangular, sendo desenhado com os seus terminais de corpo (bulk), de fonte (source), de dreno (drain) e de porta (gate), definido pelas dimensões W (largura de canal) e L (comprimento do canal). Diferentemente, o transistor do tipo ELT é desenhado com seus terminais de dreno ou de fonte completamente envoltos por polissilício.

O uso do ELT garante uma boa isolamento entre dreno e fonte, não havendo caminho para uma eventual corrente de fuga, motivada pelos MOSFETs parasitários das regiões de bico de pássaro. Assim a condução da I_{DS} entre os terminais de dreno e da fonte se dará somente através do controle da tensão aplicada à porta (GIRALDO; PACCAGNELLA, 1999).

Nesta etapa do projeto foram incluídos o software de projeto e simulação da MunEDA, cuja finalidade é a otimização de circuitos. Por meio destes programas é possível otimizar o projeto de um amplificador operacional, por exemplo, para torná-lo mais robusto às variações de processo, tensão e temperatura. Basicamente estes programas identificam as estruturas básicas de polarização, espelhos de corrente e os pares diferenciais e recalculam seus parâmetros mantendo ainda coesão para portabilidade para outras tecnologias, Figuras 1 e 2, baseadas nos arquivos da MunEDA Training modulo1.

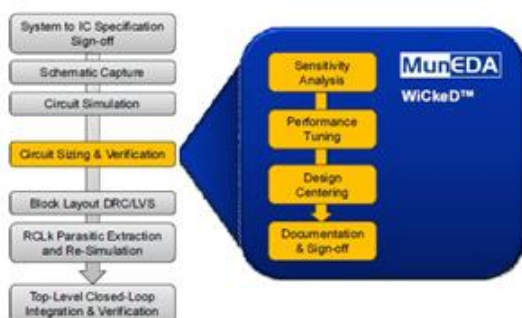


Figura 1 – Fluxo de projetos de circuitos integrando a ferramenta WiCkeD

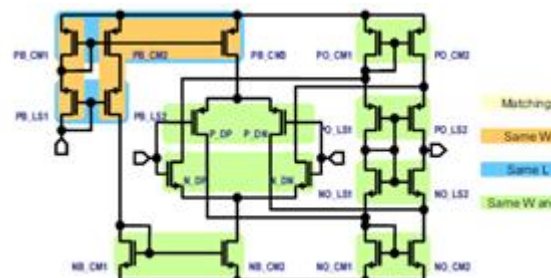


Figura 2 – Exemplo de facilidades na utilização de software EDA para otimização e portabilidade

O acúmulo de cargas na interface afeta parâmetros elétricos como a curva de sublimiar (subthreshold slope), a mobilidade e a tensão de limiar (V_{TH}), induzindo a uma elevação da corrente de fuga que representa uma fonte de dissipação de energia em processos nano

métricos. Desta forma, essa alteração de parâmetros elétricos do dispositivo pode resultar em falha funcional precoce. Com o objetivo de minimizar a corrente de fuga, técnicas de mitigação de TID usualmente empregam transistores de geometria fechada (Enclosed Layout Transistor - ELT), anéis de proteção (guard rings), bem como a manipulação de área ($W=L$) do transistor, Figura 3 (SEIXAS, 2017).

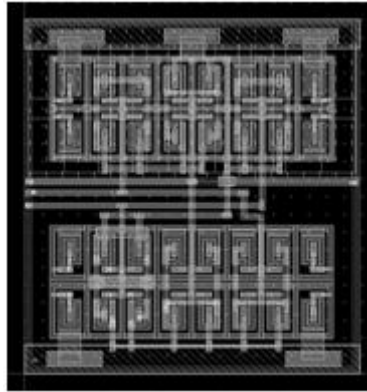


Figura 3 – Exemplo de layout com transistores do tipo ELT (NAND)

4. Resultados

Inicialmente foram analisadas as ferramentas EDA necessárias para projeto de circuitos estas são: Cadence Virtuoso IC Design Studio, com ela é possível criar esquemáticos, fazer layout e símbolos; Assura é uma ferramenta usada para verificação e extração de parasitas em layouts. E o MMSIM uma ferramenta para simulação de circuitos. Com estas ferramentas é possível criar e gerenciar todos os principais arquivos de projeto.

Outra ação executada foi a adequação do ambiente de projeto a diferentes nós tecnológicos, análise e utilização dos kits de projeto aplicando circuitos conhecidos para verificar a funcionalidade das ferramentas esta ação é chamada de limpa trilha entre os projetistas. Diversas tecnologias e foundries foram utilizadas neste trabalho são elas: SOI CMOS 180 nm e XT 600 nm da empresa XFAB, 180 nm da UMC e 180 nm e 65 nm da TSMC.

Neste período foram desenhados também layouts de circuitos tolerantes a radiação na tecnologia XT 600 nm, esta é uma tecnologia chave no desenvolvimento de circuitos porque pertence ao mesmo nó tecnológico do CEITEC uma empresa nacional.

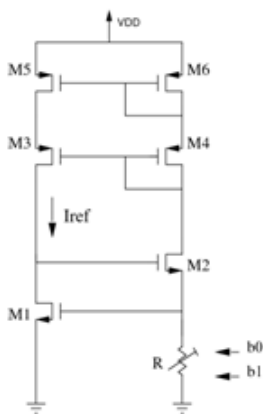


Figura 4 – Esquemático da fonte de corrente

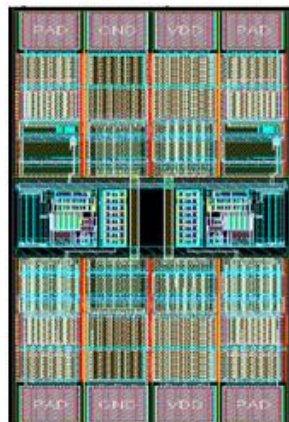


Figura 5 – Layout da fonte de corrente espelhada com e sem transistores em modo ELT

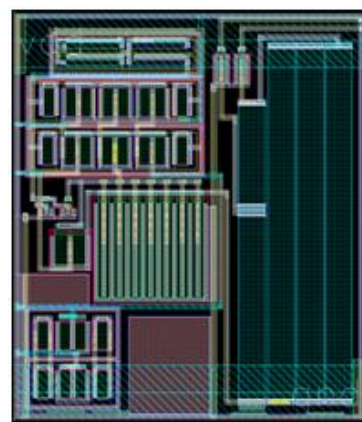


Figura 6 – Layout da fonte de corrente com transistores M2 e M1 em modo ELT

Estes circuitos fazem parte de um sistema para fornecer potência para o acionamento de bobinas relés e cargas similares, ativadas com sinais de comando pulsado gerados por circuitos digitais.

Para evitar a emissão de comandos espúrios, seja por ruído na interface de entrada do próprio Circuito Integrado ou por falha no circuito que gera o sinal de comando, o Circuito Integrado possui a função de habilitação de fornecimento de potência.

Cada canal de comando é composto por uma entrada de baixa potência, uma saída de alta potência e o circuito de espelhamento de corrente que fornece potência à saída do CI através do canal de comando. Como existe a possibilidade de uma falha em curto, por mau funcionamento e por processo, e a possibilidade de falha em aberto por conta da radiação, cada canal é formado por 2 transistores de passagem em paralelo e ligados em série com outros 2 em paralelo. Desse modo o circuito fica protegido tanto a uma falha em aberto como uma falha em curto.

Os primeiros testes da fonte de corrente indicaram uma variação de aproximadamente 0,5% para o circuito com ELT e de aproximadamente 2 % para o circuito sem ELT, uma vez que por projeto e simulação as duas fontes de corrente foram projetadas e simuladas para fornecer 20 μ A.

VDD	4,5 (V)	5 (V)	5,5 (V)
Irefe	20,11 (μ A)	20,10 (μ A)	20,11 (μ A)
Iref	19,61 (μ A)	19,60 (μ A)	19,61 (μ A)

Tabela 1 – Medida da fonte de corrente com transistores em modo ELT e sem transistores ELT

Foram feitos alguns testes funcionais do sistema da Chave de Potência fabricado na tecnologia 600 nm. Os primeiros testes foram de ajuste da placa, componentes, telemetrias e por fim, do próprio sistema, inicialmente com correntes pequenas e depois usando as correntes nominais de projeto de 1 a 5 A.

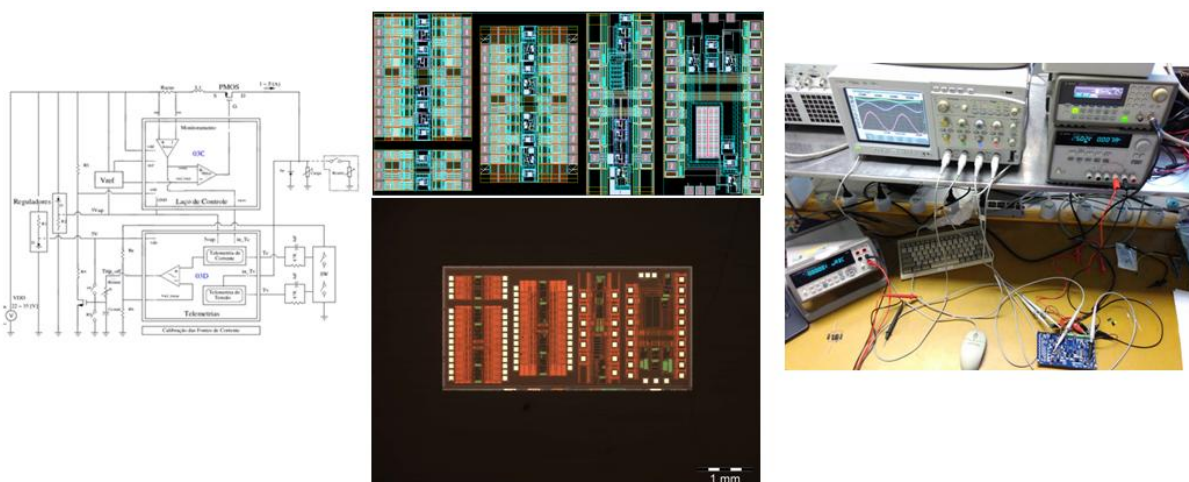


Figura 7 – Interação com projetista de circuitos analógicos para depuração do método de projeto da chave analógica.

Um script para automatização de simulações de circuitos tolerantes à radiação está sendo desenvolvido. Neste script são usadas as linguagens de programação python para modificar o arquivo netlist do projeto, uma linguagem de descrição de hardware como verilog para aplicar os sinais do test bench e as linguagens de programação da própria ferramenta de projeto Cadence que são o ocean e SKILL para executar as simulações, capturar formas de onda e executar os cálculos.

5. Conclusão

O CTI tem maturidade para projetar e testar circuitos para aplicação espaciais e médicas com técnicas para mitigar os efeitos da radiação ionizante. Esta maturidade se deve aos métodos e procedimentos gerados para a utilização de kits de projeto, dos fluxos estabelecidos integrando as ferramentas EDA, de novas topologias de circuitos e metodologias específicas para as áreas de projetos analógicos, digitais, mistos e de RF.

Estas técnicas foram utilizadas nos diferentes circuitos fabricados pelo projeto CITAR, tais como: SpaceWire; PLL(*Phase Locked Loop*); LVDS (*Low Voltage Differential Signaling*); Regulador 3V3 para 1V8; Amplificadores Operacionais; Multigates com Regulator para 200mA, Oscilador de 100MHz e Chave de potência com limitação de corrente.

E como apresentado neste trabalho há um compromisso na utilização da área de silício na implementação de técnicas de projeto para circuitos tolerantes a radiação comparados a circuitos convencionais. Ainda para efeitos de testes é preciso colocar os circuitos tolerantes em áreas adjacentes dos tradicionais para compará-los durante a exposição à radiação ionizante.

É necessário o aperfeiçoamento e automatização dos testes da Chave de Potência utilizando o programa Labview, da National Instruments, e o desenvolvimento de scripts para automatizar simulações de circuitos tolerantes à radiação para aumentar a confiabilidade dos resultados e diminuir a interação humana, já que os testes são realizados em ambiente controlado.

Referências

DODD, P. E. *Basic mechanisms for single event effects*. IEEE Nuclear and Space Radiation Effects Conference NSREC [S.l.] Nevada, Short Course, 1999.

ESA HANDBOOK, *Techniques for radiation effects mitigation in ASICs and FPGAs*. ESA ESTEC, Data Systems Division Microelectronics, Section Noordwijk, Netherlands, 2016. Disponível em: <http://microelectronics.esa.int/asic/ECSS-Q-HB-60-02A1September2016.pdf> Acesso em: 10 jul. 2019.

FERLET, V. *Design hardening methodologies for ASICs, in radiation effects on embedded systems*, Dordrecht: Springer, 2007.

GIRALDO, A.; PACCAGNELLA, A., *Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects*. IEEE Trans. Nuclear Science, v. 46, p. 1690–6, 1999.

H. J. BARNABY, M. L. MCLAIN, I. S. ESQUEDA, AND X. J. CHEN, “*Modeling ionizing radiation effects in solid state materials and CMOS devices*,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 56, no. 8, pp. 1870–1883, 2009.

HUGHES, H.L.; BENEDETTO, J.M., *Radiation effects and hardening of MOS technology: devices and circuits*, IEEE Transactions on Nuclear Science, v. 50, n. 3, June 2003.

VELAZCO, R. et al., *Radiation Effects on Embedded Systems*, Springer, 2007.

SEIXAS, L.E. Leiaute diamante para mosfets sob os efeitos das radiações ionizantes. Advanced Materials Research, S. Bernardo do Campo, FEI, 2017.